



Contribution ID: 25

Type: **not specified**

MTCA.4 RTM Modul basierend auf dem DRS-4 CapacitorArray

Tuesday 3 March 2015 08:30 (20 minutes)

Viele Experimente erfordern eine Digitalisierung zeitlich kurzer Signale. Im KIT wurde speziell dafür ein 16-Kanal-Digitalisierungsmodul auf Basis von vier DRS-4 ICs entwickelt. Der DRS-4-IC beinhaltet 9 kapazitive Arrays mit jeweils 1024 Zellen zum Speichern der analogen Signale mit einer Abtastfrequenz von 700 MHz bis 5 GHz.

Nach einer Triggerung werden die kapazitiven Speicherelemente sequentiell ausgelesen und mit einem 12-Bit-ADCs bei 30 MHz digitalisiert. Zwei DRS-4 ICs bilden eine Funktionsgruppe, die im Wechselspeicherprinzip verwendet werden, um die Totzeit zu minimieren. Jeder analoge Eingangskanal ist mit einem einstellbaren Komparator ausgerüstet und in einem FPGA ist die dazugehörige Triggerlogik und die Auslesesteuerung implementiert. Das Modul ist nach dem MTCA.4 Rear Transition Modul Spezifikation gebaut. Die Präsentation stellt das Design und die ersten Ergebnisse sowie die Implementierung in ein MTCA.4 System vor.

Primary author: Mr MENSHIKOV, Alexander (KIT)

Co-authors: Dr BALZER, Matthias (KIT); Dr KLEIFGES, Matthias (KIT)

Presenter: Mr MENSHIKOV, Alexander (KIT)

Session Classification: Dienstag-1: Schaltungsdesign und -realisierung

Track Classification: Vortrag