

**<div style="font-size: 6;
font-weight: bold;">SEI
Tagung </div><div
style="font-size: medium;
font-weight:
normal;">Studiengruppe
elektronische
Instrumentierung der
Helmholtz-Zentren</div>**



Report of Contributions

Contribution ID: 0

Type: **not specified**

Eröffnung und Überblick DESY/Hamburg

Monday 2 March 2015 13:30 (25 minutes)

...

Primary author: Dr GOETTLICHER, Peter (DESY)

Presenter: Dr GOETTLICHER, Peter (DESY)

Session Classification: Begrüßung

Track Classification: Vortrag

Contribution ID: 1

Type: **not specified**

Stromversorgungen

Tuesday 3 March 2015 10:09 (1h 51m)

Stromversorgungen

Primary author: Mr BERNER, Thomas (W-IE-NE-R Plein & Baus GmbH)

Presenter: Mr BERNER, Thomas (W-IE-NE-R Plein & Baus GmbH)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: 2

Type: **not specified**

Lüftersteuerung für VDC-Kammern am Versuch CMS (CERN)

Wednesday 4 March 2015 08:55 (20 minutes)

Zur Untersuchung von Gas, dass bei CMS verwendet wird, werden Drift-Kammern eingesetzt. Die Umgebungsluft dieser Driftkammern muss konstant gehalten werden. Dazu wurde eine Lüftersteuerung basierend auf einer Standard-Interfacekarte (Eigenentwicklung der Elektronikwerkstatt) mit einem Tablet-PC aufgebaut. Die Software wurde mit VisualBasic erstellt.

Primary author: Mr ZANTIS, Franz Peter (RWTH-Aachen)

Presenter: Mr ZANTIS, Franz Peter (RWTH-Aachen)

Session Classification: Mittwoch 1: Steuerung und Kontrollen

Track Classification: Vortrag

Contribution ID: 3

Type: **not specified**

Das Triggersystem in der Hess1 Upgrade Camera

Monday 2 March 2015 17:00 (20 minutes)

Es wird ein Überblick über die Funktionalität des Triggersystems der Hess1-Upgrade-Camera gegeben. Es werden die Komponenten und deren Leistungsfähigkeit vorgestellt und mit denen aus der original Kamera verglichen. Ein zentrales Element ist ein neu entwickelter DAC in differentieller Technik. Vor- und Nachteile des Systems werden diskutiert.

Primary author: Mr KRETZSCHMANN, Axel (DESY)

Presenter: Mr KRETZSCHMANN, Axel (DESY)

Session Classification: Montag-2: Datenaufnahme/-prozessierung/-transfer

Track Classification: Vortrag

Contribution ID: 4

Type: **not specified**

MTCA.4 Digitizer und assoziierte Rear Transition Module

Tuesday 3 March 2015 10:08 (1h 52m)

Struck wird den aktuellen Stand der SIS8300 10 Kanal 125 MSPS 16-bit Digitizer Familie und der zugehörigen RTMs (Rear Transition Modules) für den Einsatz im Beschleuniger- und anderen Bereichen zeigen.

Darüberhinaus stellen wir die 2 Kanal 1.6 GSPS 12-bit PCI Express SIS1332 Lösung mit optionalem Einkanal 3.2 GSPS Betrieb vor.

Primary author: Dr MATTHIAS, Kirsch (Struck Innovative Systeme GmbH)

Presenter: Dr MATTHIAS, Kirsch (Struck Innovative Systeme GmbH)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: 5

Type: **not specified**

Machine Protection System for XFEL and FLASH II

Tuesday 3 March 2015 12:30 (20 minutes)

For the operation of a machine like the 3 km long linear accelerator XFEL at DESY Hamburg, a safety system keeping the beam from damaging components is obligatory. This machine protection system (MPS) must detect failures of the RF system, magnets, and other critical components in various sections of the XFEL as well as monitor beam and dark current losses, and react in an appropriate way by limiting average beam power, dumping parts of the macro-pulse, or—in the worst case—shutting down the whole accelerator. It has to consider the influence of various machine modes selected by the timing system.

The MPS provides the operators with clear indications of error sources, and offers the possibility to mask any input channel to facilitate the operation of the machine. In addition, redundant installation of critical MPS components will help to avoid unnecessary downtime. This document summarizes the requirements on the machine protection system and includes plans for its architecture and for needed hardware components.

Primary author: Mr KARSTENSEN, Sven (DESY)**Presenter:** Mr KARSTENSEN, Sven (DESY)**Session Classification:** Dienstag-2: Elektronik für Beschleuniger I**Track Classification:** Vortrag

Contribution ID: 6

Type: **not specified**

Überblick über aktuelle Projekte im DESY, Zeuthen

Monday 2 March 2015 13:55 (15 minutes)

Primary author: TONISCH, Frank (DESY)

Presenter: TONISCH, Frank (DESY)

Session Classification: Begrüßung

Track Classification: Vortrag

Contribution ID: 7

Type: **not specified**

CE-Zertifizierungen für elektronische Geräte - zentral durchgeführt durch DESY ZE

Monday 2 March 2015 15:10 (20 minutes)

Vor allem durch die internationale Zusammenarbeit am DESY ist das Thema CE-Zertifizierungen im Bereich der Elektronik täglich präsent: Damit ein Gerät in Verkehr gebracht werden darf, muß es eine Reihe von Sicherheits- und Fertigungsstandards einhalten und entsprechend geprüft werden.

Für die Zertifizierung ist der Hersteller selbst verantwortlich. Wie eine solche Zertifizierung aussieht und was dabei zu beachten ist, wird in diesem Vortrag vorgestellt.

Primary author: Mrs VOIGT, Julia (DESY)

Presenter: Mrs VOIGT, Julia (DESY)

Session Classification: Montag 1: Fertigung und Test

Track Classification: Vortrag

Contribution ID: 8

Type: **not specified**

Überblick über den European XFEL und eingesetzte programmierbare Elektronik

Tuesday 3 March 2015 12:00 (20 minutes)

Dieser Vortrag gibt einen kurzen Überblick den European XFEL, Aufbau, Experimente und Status. Im Anschluss wird ein Auszug der eingesetzten Lösungen von programmierbarer Elektronik sowohl für relativ langsame Steuer- und Kontrollaufgaben als auch hochgeschwindigkeits Auslese und Regelsysteme vorgestellt. Dieses beinhaltet elektronische Systeme basierend auf SPS und FPGAs.

Primary author: GESSLER, Patrick (European XFEL)

Presenter: GESSLER, Patrick (European XFEL)

Session Classification: Dienstag-2: Elektronik für Beschleuniger I

Track Classification: Vortrag

Contribution ID: 9

Type: **not specified**

Messung wichtiger Strahlparameter des LHCs mit Diamantsensoren

Wednesday 4 March 2015 11:00 (20 minutes)

Zwei Detektoren mit jeweils 4 Einkristall-Diamantsensoren auf beiden Seiten des Wechselwirkungspunktes im Experiment CMS dienten in

der ersten Betriebsperiode des LHCs am CERN zur Überwachung der

Strahlqualität im Experiment. Gemessen wurde die Teilchenrate nahe am Strahlrohr. Mit sehr guter Zeitauflösung wurden die Raten von Strahluntergrund und Teilchen aus Proton-Proton-Wechselwirkungen bestimmt. Überdies wurden entlang des Beschleunigerrings 4 weitere Messstationen mit gleicher Technologie installiert und betrieben.

Nach dem überaus erfolgreichen Einsatz wurden die Detektoren im Experiment CMS während des gegenwärtigen Technischen Stopps des

Beschleunigers bedeutend erweitert. Jeder Detektor enthält nunmehr 12 Sensoren, unterteilt in jeweils zwei Pads. Neu entwickelte Front-End-ASICs mit sehr kurzen Ausgangssignalen wurden entwickelt und in strahlungsfester 130_nm-CMOS-Technologie hergestellt. Im Januar 2015 wurden die neuen Detektoren im Experiment CMS eingebaut.

Der Vortrag beschreibt ihr Messprinzip, die Sensoren und den Aufbau des erweiterten Systems, das sowohl Untergrund- als auch Luminositätsmessungen erlaubt.

Primary author: Dr LANGE, Wolfgang (DESY Zeuthen)

Presenter: Dr LANGE, Wolfgang (DESY Zeuthen)

Session Classification: Mittwoch-2: Detektoren und Geräte

Track Classification: Vortrag

Contribution ID: **10**

Type: **not specified**

Hochspannung

Tuesday 3 March 2015 10:03 (1h 57m)

Hochspannung

Primary author: Mr DONIX, Maik (ISEG Spezialelektronik GmbH)

Presenter: Mr DONIX, Maik (ISEG Spezialelektronik GmbH)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: **11**

Type: **not specified**

ATLAS Strip Tracker Upgrade: Recent Developments for the Electronics

Wednesday 4 March 2015 11:30 (20 minutes)

....

Primary author: Mr STANITZKI, Marcel (DESY)

Presenter: Mr STANITZKI, Marcel (DESY)

Session Classification: Mittwoch-2: Detektoren und Geräte

Track Classification: Vortrag

Contribution ID: 12

Type: **not specified**

Vorstellung des Servicezentrums Elektronik DESY Hamburg

Monday 2 March 2015 14:10 (20 minutes)

Das Servicezentrum Elektronik DESY Hamburg stellt Standardverfahren und Abläufe für die Konstruktion, Arbeitsvorbereitung, Fertigung und Prüfung von elektronischen Baugruppen und Geräten für DESY bereit. Der Vortrag stellt die Organisation, Ausstattung und Leistungen des Servicezentrums vor.

Primary author: Dr ZEIDES, Otto-Christian (DESY Hamburg)

Presenter: Dr ZEIDES, Otto-Christian (DESY Hamburg)

Session Classification: Montag 1: Fertigung und Test

Track Classification: Vortrag

Contribution ID: **13**

Type: **not specified**

Flip Chip Technologie am Desy

Monday 2 March 2015 14:40 (20 minutes)

...

Primary author: ARAB, Shaghayegh (DESY FEC)

Presenter: ARAB, Shaghayegh (DESY FEC)

Session Classification: Montag 1: Fertigung und Test

Track Classification: Vortrag

Contribution ID: 14

Type: **not specified**

Datenverbindung zwischen Schiffen und Zeppelin zur Erkundung von Strömungswirbeln

Monday 2 March 2015 17:25 (20 minutes)

Ziel ist es relativ kurzlebige Wasserwirbel zu untersuchen. Diese werden zunächst vom Zeppelin geortet. Anhand der Position werden anschließend die Schiffe zum Wirbel geleitet, um mit der Untersuchung desselben zu beginnen.

Problemstellung ist hier der Aufbau der Funkstrecke zwischen dem Zeppelin und den Schiffen. Mögliche Konzepte hierzu werden derzeit bei uns evaluiert.

Primary author: Mr LISTING, Oliver (HZG)

Presenter: Mr LISTING, Oliver (HZG)

Session Classification: Montag-2: Datenaufnahme/-prozessierung/-transfer

Track Classification: Vortrag

Contribution ID: 15

Type: **not specified**

IP-basierende Messgeräte auf Basis von FPGA (Spartan 6) und HTML5/JSON

Monday 2 March 2015 17:50 (20 minutes)

Primary author: Mr PLEWKA, Jörn (HZG)

Presenter: Mr PLEWKA, Jörn (HZG)

Session Classification: Montag-2: Datenaufnahme/-prozessierung/-transfer

Track Classification: Vortrag

Contribution ID: 16

Type: **not specified**

PiLC, ein flexibler Controller für Steuer- und Messaufgaben mit FPGA-Performance

Wednesday 4 March 2015 09:45 (20 minutes)

....

Primary authors: Mr ZINK, Horst (DESY); Mr SPITZBART, Tobias (DESY)

Presenters: Mr ZINK, Horst (DESY); Mr SPITZBART, Tobias (DESY)

Session Classification: Mittwoch 1: Steuerung und Kontrollen

Track Classification: Vortrag

Contribution ID: 17

Type: **not specified**

High Speed Digitizer

Tuesday 3 March 2015 10:04 (1h 56m)

....

Primary author: Mr SPELTHANN, Hans Dieter (Keysight Technologies S.A. - Acqiris Operation)

Presenter: Mr SPELTHANN, Hans Dieter (Keysight Technologies S.A. - Acqiris Operation)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: **18**

Type: **not specified**

General Machine Timing @ FAIR: Status

Tuesday 3 March 2015 14:00 (20 minutes)

The FAIR facility involves a long chain of accelerators which need to be tightly synchronized. This is achieved by the General Machine Timing (GMT) system, a distributed event generation system based on the notion of time. Time synchronization is achieved by using White Rabbit (WR), a fully deterministic Ethernet-based field bus for clock transfer and synchronization. The key components of the GMT are a so-called Data Master (DM) that schedules actions by broadcasting messages, a WR network and Timing Receiver (TR) nodes executing machine relevant actions on time.

The primary tasks of the timing system are the following.

- Time-Synchronization of ~2000 - 3000 nodes with sub-ns accuracy over fiber lengths of up to 2 km.
- Distribution of TAI counters with ns accuracy.
- Generation of timing events for synchronization of equipment.
- Provide infrastructure for common services of the accelerator (Post Mortem, Interlock,...) and FAIR experiments (time stamps, ...).

Primary author: BECK, Dietrich (GSI)

Presenter: BECK, Dietrich (GSI)

Session Classification: Dienstag-3: Elektronik für Beschleuniger II

Track Classification: Vortrag

Contribution ID: 19

Type: **not specified**

MTCA.4 Based Reference and Clock Distribution Module for the European XFEL

Tuesday 3 March 2015 14:30 (20 minutes)

The reference and clock distribution module for the european XFEL is an MTCA.4 based, double-full size, full width module located in Slot 15 on the rear side of a standard MTCA.4 crate. The module makes use of the RF backplane connectivity and delivers 22 differential LVPECL clocks in the range from 10 MHz up to 250 MHz. The LO frequency range spans from 700 MHz up to 6 GHz and is distributed over the RF backplane to 9 slots (4-12).

Primary author: MAVRIC, Uros (DESY)**Presenter:** MAVRIC, Uros (DESY)**Session Classification:** Dienstag-3: Elektronik für Beschleuniger II**Track Classification:** Vortrag

Contribution ID: **20**

Type: **not specified**

Basis Designregeln

Tuesday 3 March 2015 09:00 (20 minutes)

....

Primary author: Mr DÖHL, Sebastian (HEIDENHAIN-MICROPRINT GmbH)

Presenter: Mr DÖHL, Sebastian (HEIDENHAIN-MICROPRINT GmbH)

Session Classification: Dienstag-1: Schaltungsdesign und -realisierung

Track Classification: Vortrag

Contribution ID: 21

Type: **not specified**

Digitaler Kameratrigger für das Cherenkov Teleskop Array

Monday 2 March 2015 16:35 (20 minutes)

Die Kameras des Cherenkov Teleskop Arrays werden mit Lokaler Trigger Logik ausgerüstet. Ziel ist es, bei gleichzeitiger Unterdrückung des Störspektrums (Night Sky Background), die durch kosmische Strahlung in der Atmosphäre verursachten Ereignisse, zu detektieren. Es wird ein möglicher Kameratrigger beschrieben, der auf der Verarbeitung überlappender Pixelregionen basiert. Der Trigger besteht aus drei Stufen. Ein präziser, sehr schneller Diskriminator von PMT-Pulsen bildet die erste Stufe (L0). Die zweite Stufe (L1), besteht aus einer einfachen (low cost) FPGA, die die L0-Signale von 37-Pixel Regionen verarbeitet. Einfache Trigger-Algorithmen wie 3NN (Three Next Neighbor), aber auch komplexere, können implementiert werden oder sogar parallel laufen. Neben der Flexibilität, ist die Möglichkeit, die individuellen L0-Signalverzögerungen im Subnanosekunden-Bereich zu kalibrieren, eines der Hauptvorteile der FPGA-basierenden Trigger-Implementierung. Das minimal mögliche Zeitfenster für den Trigger ist eine Nanosekunde weit. Die dritte Stufe (L2), die letztlich das Kamera-Triggersignal generiert, ist ein separates 19 Zoll Crate.

Primary author: Mr SULANKE, Karl-Heinz (DESY)**Presenter:** Mr SULANKE, Karl-Heinz (DESY)**Session Classification:** Montag-2: Datenaufnahme/-prozessierung/-transfer**Track Classification:** Vortrag

Contribution ID: 22

Type: **not specified**

Professional Power Supplies

Tuesday 3 March 2015 10:07 (1h 53m)

Schulz-Electronic ist führender Anbieter von professionellen Stromversorgungen - vom klassischen Herstellerprodukt bis hin zur hochspeziellen Sonderlösung.

Primary author: NEEB, Michael (Schulz-Electronic)

Presenter: NEEB, Michael (Schulz-Electronic)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: 23

Type: **not specified**

Integrated phase locked loop design

Tuesday 3 March 2015 09:30 (20 minutes)

A phase locked loop structure will be presented, which generates the sampling clock for an ADC in an on-chip pulse detection receiver.

Phase locked loops generate output clocks with the same phase as and a multiple of the frequency of a reference clock. The main blocks of a PLL are a phase frequency detector (PFD), a charge pump, a loop filter, a voltage controlled oscillator (VCO) and a frequency divider. The output clocks are generated through a four stage voltage controlled ring oscillator with 2GHz center frequency. The reference frequency is in the range of 20MHz-100MHz, so a frequency divider is necessary in the feedback path of the PLL to generate lower frequency clocks to synchronize with reference frequency. The PFD determines the phase and frequency difference between two inputs of the PLL. The phase and frequency difference is converted to a proportional current through the charge pump. The low pass filter extracts the dc amount of current to generate an appropriate control voltage for the oscillator to adjust the phase and frequency of the output clocks. In general, frequency dividers are divided into two categories of integer and fractional. Both of these frequency dividers are implemented as design alternatives for this structure. The division ratio of an integer frequency divider is a constant power of two. For some applications, in which the reference frequency changes, a fractional divider is a good option. In a fractional structure, the division ratio can be changed and is controlled by binary bits. The proposed structure is simulated in 65nm TSMC technology. Layout design currently is done for the VCO and according to post layout simulation, the VCO shows -92dB/Hz phase noise at 1MHz offset from the center frequency. The simulation results indicate 11.1mW power consumption from 1.2V supply voltage for the whole structure using integer frequency divider and 16mW power consumption using fractional divider.

Summary

A phase locked loop structure was designed in TSMC 65nm technology, which generates the sampling clock for an ADC in an on-chip pulse detection receiver. Design aspects and simulation results will be shown.

Primary author: Mrs PARKALIAN, Nina (Forschungszentrum Jülich, GmbH)

Presenter: Mrs PARKALIAN, Nina (Forschungszentrum Jülich, GmbH)

Session Classification: Dienstag-1: Schaltungsdesign und -realisierung

Track Classification: Vortrag

Contribution ID: 24

Type: **not specified**

MTCA.4 Starter Kits

Tuesday 3 March 2015 10:06 (1h 54m)

By several requests from “NEW” MicroTCA Users powerBridge Computer offers complete integrated & tested MTCA.4 Starter Kits. These system will have all necessary cables, adapter and filler modules, as well as an installed Ubuntu 14.04 LTS...to start immediately.

In addition powerBridge Computer can offer consultancy services for new product and system designs for the HEP community.

Primary author: Mr KLOCKMANN, Kay (powerBridge Computer)

Presenter: Mr KLOCKMANN, Kay (powerBridge Computer)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: 25

Type: **not specified**

MTCA.4 RTM Modul basierend auf dem DRS-4 CapacitorArray

Tuesday 3 March 2015 08:30 (20 minutes)

Viele Experimente erfordern eine Digitalisierung zeitlich kurzer Signale. Im KIT wurde speziell dafür ein 16-Kanal-Digitalisierungsmodul auf Basis von vier DRS-4 ICs entwickelt. Der DRS-4-IC beinhaltet 9 kapazitive Arrays mit jeweils 1024 Zellen zum Speichern der analogen Signale mit einer Abtastfrequenz von 700 MHz bis 5 GHz.

Nach einer Triggerung werden die kapazitiven Speicherelemente sequentiell ausgelesen und mit einem 12-Bit-ADCs bei 30 MHz digitalisiert. Zwei DRS-4 ICs bilden eine Funktionsgruppe, die im Wechselspeicherprinzip verwendet werden, um die Totzeit zu minimieren. Jeder analoge Eingangskanal ist mit einem einstellbaren Komparator ausgerüstet und in einem FPGA ist die dazugehörige Triggerlogik und die Auslesesteuerung implementiert. Das Modul ist nach dem MTCA.4 Rear Transition Modul Spezifikation gebaut. Die Präsentation stellt das Design und die ersten Ergebnisse sowie die Implementierung in ein MTCA.4 System vor.

Primary author: Mr MENSHIKOV, Alexander (KIT)

Co-authors: Dr BALZER, Matthias (KIT); Dr KLEIFGES, Matthias (KIT)

Presenter: Mr MENSHIKOV, Alexander (KIT)

Session Classification: Dienstag-1: Schaltungsdesign und -realisierung

Track Classification: Vortrag

Contribution ID: 26

Type: **not specified**

CAEN-Produkte

Tuesday 3 March 2015 10:00 (2 hours)

...

Summary

I will be there only as industrial exhibitor.

Primary author: Mr V. DÜRING, Nico (CAEN GmbH)

Presenter: Mr V. DÜRING, Nico (CAEN GmbH)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: 27

Type: **not specified**

National Instruments - FPGA Technologie

Tuesday 3 March 2015 10:05 (1h 55m)

Ansatz für FPGA-basiertes Design bei NI

Bisher konnten nur die Anwender FPGA-Technologie nutzen, die über fundiertes Wissen im Bereich digitales Hardwaredesign verfügten. Der verstärkte Einsatz anspruchsvoller Systemdesignwerkzeuge wie NI LabVIEW vereinfacht auch die FPGA-Programmierung, da neue Technologien grafische Blockdiagramme und sogar C-Programmcode in digitale Hardwarearchitekturen konvertieren können. Alle NI-FPGA-Hardwareprodukte beruhen auf einer rekonfigurierbaren I/O-Hardwarearchitektur (RIO) mit leistungsstarken Fließkommaprozessoren, rekonfigurierbaren FPGAs und modularer I/O. Die RIO-Hardware von NI ermöglicht in Verbindung mit der Software für das Graphical System Design, NI LabVIEW, eine vereinfachte Entwicklung komplexer Steuer-, Regel-, Überwachungs- und Prüfanwendungen sowie kürzere Markteinführungszeiten.

Summary

Demo System cRIO und USB FPGA Karte, myRIO und PXI FPGA

Demo LabVIEW FPGA und Realtime

Primary author: Mr MENZEL, Christian (National Instruments)

Presenter: Mr MENZEL, Christian (National Instruments)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: 28

Type: **not specified**

Prototyp Entwicklung für das CALICE Analoge Hadronische Kalorimeter

Wednesday 4 March 2015 12:30 (15 minutes)

In der CALICE Kollaboration werden neue Kalorimeterkonzepte für den International Linear Collider (ILC) entwickelt, in Prototypen realisiert und im Teststrahlbetrieb untersucht. In diesem Beitrag wird die Entwicklung verschiedener Ausbaustufen von Prototypen für das analoge hadronische Kalorimeter beschrieben, welche auf der Verwendung von neuartigen Silizium Photomultipliern als Detektoren in Szintillatorplättchen basieren. Neben der analogen Front-End Elektronik wird auch die digitale Steuerung und Datenerfassung erläutert, sowie die besondere Betriebsart „power pulsing“, bei der zur Reduktion der Verlustleistung die Front-End Elektronik mit hoher Rate ein- und ausgeschaltet wird.

Primary author: Mr REINECKE, Mathias (DESY)**Presenter:** Mr REINECKE, Mathias (DESY)**Session Classification:** Mittwoch-2: Detektoren und Geräte**Track Classification:** Vortrag

Contribution ID: 29

Type: **not specified**

Test- und Meßtechnik von Tektronix und Keithley

Tuesday 3 March 2015 10:01 (1h 59m)

Primary author: Mr BAESSLER, Holger (CALPLUS)

Presenter: Mr BAESSLER, Holger (CALPLUS)

Session Classification: Ausstellung

Track Classification: Ausstellung

Contribution ID: 30

Type: **not specified**

Implementierung eines TANGO-Servers zur Anbindung des Mythen-Detektors beim Experiment GALAXI

Wednesday 4 March 2015 09:20 (20 minutes)

Das Jülich Centre for Neutron Science (JCNS) des Forschungszentrums Jülich betreibt in der Forschungs-Neutronenquelle Heinz-Maier-Leibnitz (FRM II) der Technischen Universität München (TUM) in Garching verschiedene Neutronenstreuexperimente. Der Institutsbereich Systeme der Elektronik (ZEA-2) arbeitet als Systemhaus und Technologielieferant mit zum Teil erheblichen Eigenentwicklungen in Hardware und Software für das JCNS.

Bei jedem Experimentssystem sind mehrere Geräte wie Netzteile, Motoren, Detektoren, Zählerkarten oder Blenden im Einsatz und müssen vom Experimentator in vollem Umfang bedient werden können. Zur Steuerung dieser werden daher zuallererst Server benötigt, die für die Kommunikation mit dem jeweiligen Gerät verantwortlich sind. Auf die bereitgestellten Funktionen dieser Server greifen die Programme, die von den Experimentatoren bedient und mit denen die Systeme gesteuert werden, zu.

An das Experiment GALAXI soll nun ein weiterer Detektor - der Mythen-Detektor - angeschlossen werden, damit zukünftig bei Messungen größere Streuwinkel erfasst werden können. Da zur objektorientierten Instrumentensteuerung der Neutronenstreuexperimente im JCNS das Kontrollsystem TANGO verwendet wird, muss der Server für den neuen Detektor unter der Verwendung dieses Systems in der Programmiersprache C++ entwickelt werden. Als Schnittstelle zur Kommunikation wird dabei das TCP/IP-Protokoll dienen.

Im Vortrag werden das Röntgenstreuexperiment GALAXI sowie die Implementierung des TANGO-Servers zur Anbindung des Detektors und eines Simulationsservers zu Testzwecken vorgestellt. Die dadurch zur Verfügung gestellten Funktionalitäten als auch weitere darauf aufbauende Projekte werden erläutert.

Primary author: Mr STEFFENS, Alexander (Forschungszentrum Jülich GmbH)

Presenter: Mr STEFFENS, Alexander (Forschungszentrum Jülich GmbH)

Session Classification: Mittwoch 1: Steuerung und Kontrollen

Track Classification: Vortrag

Contribution ID: 31

Type: **not specified**

Das Steuerungssystem des MST, ein 12m-Cherenkov-Teleskop

Wednesday 4 March 2015 08:30 (20 minutes)

Im Rahmen des internationalen Großprojekts ‚Cherenkov Telescope Array‘(CTA) arbeiten derzeit über 1000 Wissenschaftler aus 25 Ländern zusammen. Innerhalb dieses Projektes werden drei Teleskopgrößen mit 4 m, 12 m und 24 m Durchmesser realisiert. Die Hauptaufgabe der Teleskope liegt in der indirekten Erfassung von Gammastrahlen auf der Erdoberfläche.

Das DESY Zeuthen entwickelt in Zusammenarbeit mit anderen Instituten in Europa und Südamerika, ein Cherenkov-Teleskop mit einem Spiegelträger von 12m Durchmesser. DESY Zeuthen übernimmt hier die Verantwortung für den Entwurf und den Bau der mechanischen Struktur, der Antriebs- und Steuerungstechnik, sowie der Auslegung der Sicherheitssysteme.

Durch das DESY Zeuthen wurde ein MST-Prototyp in Berlin-Adlershof errichtet. Am Prototyp konnten entworfene Antriebskonzepte integriert und durch Messungen auf ihre Funktionstüchtigkeit getestet werden. Die Schwingungsanalyse, mittels spezieller Beschleunigungssensoren und einer eigens dafür geschriebenen Software zur Datennahme, führte zu einer Optimierung der Lagemessung und im Weiteren zur Verbesserung der Positionserkennung. Ein integriertes Structure-Health-Monitoring wurde erfolgreich getestet und soll fester Bestandteil der Serienproduktion werden. Im Steuerungssystem des Teleskops ist durch das automatische Umschalten auf alternative Stromnetze oder einer USV ein sicherer Betrieb zu jeder Zeit gewährleistet.

Primary author: STERNBERGER, Ronny (DESY Zeuthen)

Presenter: STERNBERGER, Ronny (DESY Zeuthen)

Session Classification: Mittwoch 1: Steuerung und Kontrollen

Track Classification: Vortrag

Contribution ID: 32

Type: **not specified**

Flexibles elektromagnetisches Aktuatorsystem für die Turbulenzforschung

Wednesday 4 March 2015 12:00 (20 minutes)

Im Rahmen der DFG-Forschergruppe FOR1779 ‚Aktive Widerstandsreduktion durch Wellen-förmige Oberflächenoszillation‘ wurde ein neuartiges leistungsstarkes elektromagnetisches Aktuierungssystem entwickelt. Dieses ermöglicht die Erzeugung von transversalen Oberflächenwellen auf einer bis zu 0.5 mm starken Aluminiumplatte in einem flexiblen Amplitudenbereich von 45 µm bis 1 mm. Dabei können mit diesem ersten Prototyp minimale Wellenlängen von 4 cm mit Frequenzen von bis zu 100 Hz generiert werden. Mit diesem Aktuatorsystem konnte erstmals die Verringerung des turbulenten Reibungswiderstandes über einem flächigen Versuchsaufbau experimentell nachgewiesen werden. In dem Vortrag werden der Aufbau des Aktuatorsystems und die ersten Windkanalexperimente vorgestellt. Zum Abschluss wird die Weiterentwicklung des Systems im Rahmen der zweiten Förderperiode der Forschergruppe FOR1779 skizziert.

Primary author: Dr SCHIEK, Michael (ZEA-2, Forschungszentrum Jülich GmbH)

Co-authors: Mr DÜCK, Marcel (ZEA-2, Forschungszentrum Jülich GmbH); Mr SCHLÖSSER, Mario (ZEA-2, Forschungszentrum Jülich GmbH); Prof. VAN WAASEN, Stefan (ZEA-2, Forschungszentrum Jülich GmbH); Mr SILEX, Wolfgang (ZEA-2, Forschungszentrum Jülich GmbH)

Presenter: Dr SCHIEK, Michael (ZEA-2, Forschungszentrum Jülich GmbH)

Session Classification: Mittwoch-2: Detektoren und Geräte

Track Classification: Vortrag

Contribution ID: 33

Type: **not specified**

Ein VHDL basierter Gigabit Ethernet Protokollstapel für FPGAs

Monday 2 March 2015 16:10 (20 minutes)

Mit diesem Beitrag wird ein Protokollstapel für einen ethernet-basierten Datenaustausch mit einem FPGA vorgestellt. Für den schnellen und verbindungslosen Datenaustausch ist das User Datagram Protocol (UDP) ein schlankes Protokoll der Transportschicht. Die dynamische Erzeugung der UDP Paketrahmen benötigt eine vollständige Abbildung der zugrunde liegenden Netzwerkschichten (Internetschicht und Netzwerkschicht). Es wird eine VHDL basierte Architektur für einen Protokollstapel vorgestellt, welche die Protokolle UDP, IP, ICMP und ARP in einem FPGA integriert. Der Schichtenaufbau soll den maximalen Datendurchsatz ermöglichen. Es werden die Ergebnisse der Implementierung und Tests auf unterschiedlichen FPGA Plattformen gezeigt.

Primary author: FÖDISCH, Philipp (HZDR)**Co-authors:** LANGE, Bert (HZDR); Prof. KAEVER, Peter (HZDR)**Presenter:** FÖDISCH, Philipp (HZDR)**Session Classification:** Montag-2: Datenaufnahme/-prozessierung/-transfer**Track Classification:** Vortrag

Contribution ID: 35

Type: **not specified**

Abschluss und Ausblick

Wednesday 4 March 2015 12:50 (10 minutes)

Primary author: Mr GÖTTLICHER, Peter (DESY)

Presenter: Mr GÖTTLICHER, Peter (DESY)

Session Classification: Mittwoch-2: Detektoren und Geräte

Track Classification: Vortrag