



Dynamische Re - Konfiguration eines FPGAs mittels internem Controller

SEI - Tagung an der GSI
Frühjahr 2011

Quelle: Bild: ESA – Erprobungssatelliten im Weltall

21. Februar.2011

von Markus Dick / m.dick@fz-juelich.de

Überblick

- Einleitung
 - Motivation und Stand der Technik
- Realisierung
 - Dynamische Re – Konfiguration des FPGAs
 - SelectMAP
 - ICAP
- Ergebnisse und Ausblick

DSPS (Digitale Signalverarbeitungssysteme)

Wir entwickeln und erstellen umfassende elektronische Systeme und Lösungen für wissenschaftliche Instrumente, wobei Signal- und Bildgebende Systeme auf fliegenden Trägern im Vordergrund stehen.

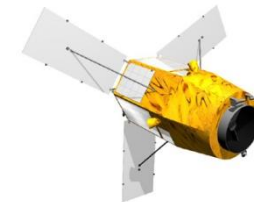


Projekte:

GLORIA: Ziel ist es erstmals ein detailliertes globales Bild des Tropopausenbereichs zu liefern.



Kompsat-3A: Entwicklung einer Infrarot Detektor Ausleseelektronik zum Einsatz auf einem **Satelliten**.

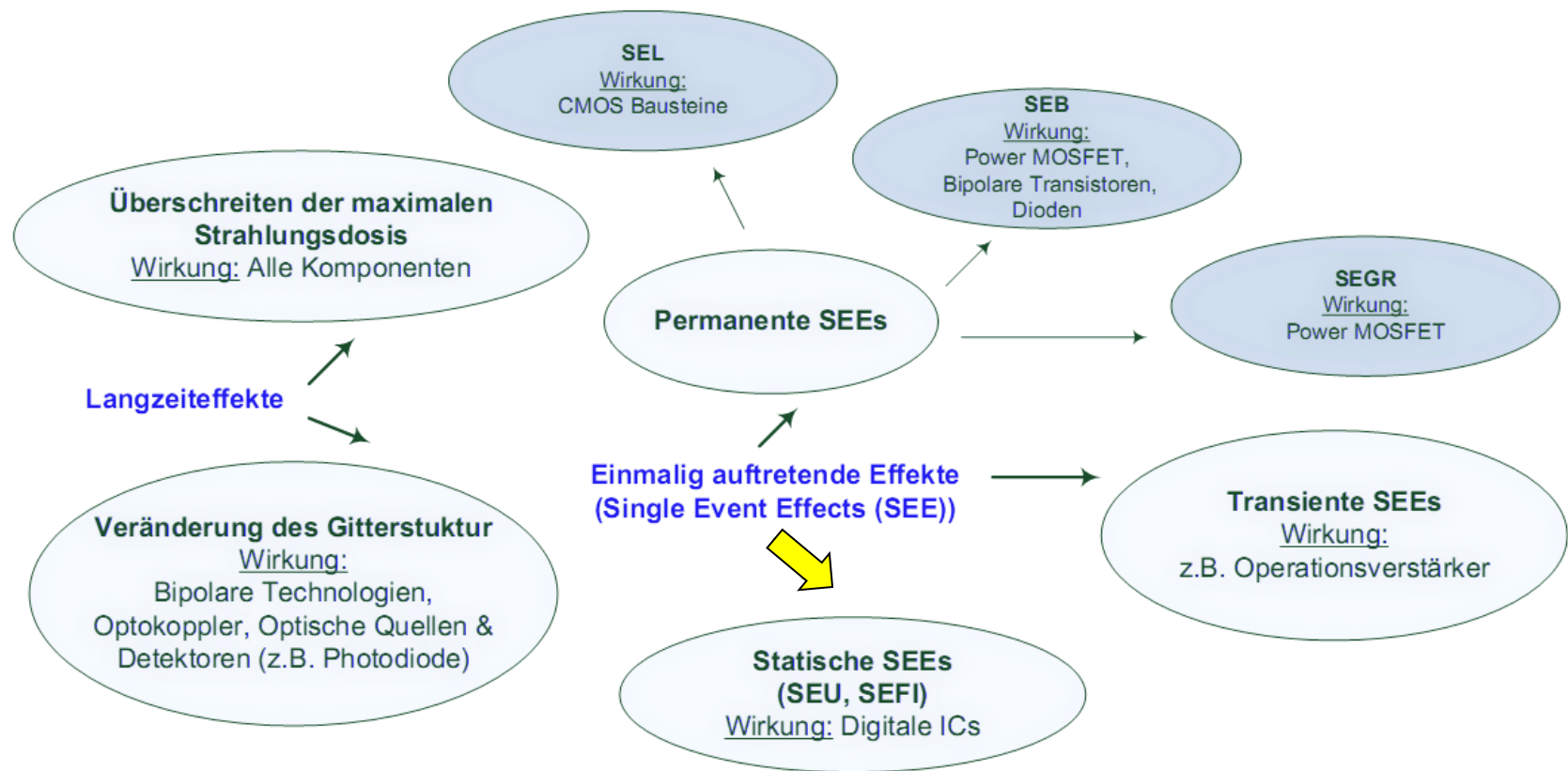


Was muss beachtet werden um Elektronik im Weltraum einzusetzen?

Randbedingungen und Störeinflüsse im Weltraum

- **Vibrationen und Beschleunigungen** bei der Startphase der Trägerrakete
- **Temperaturschwankungen** (120 C bis -80 C) aufgrund von Sonnen- und Schattenzyklen im Orbit
- **Vakuum** (Problem: z.B. Aufplatzen von Kondensatoren, Abführen von thermischer Energie)
- **100%ige Funktion** → eingeschränkter Zugriff von der Bodenstation
- Höhere **Strahlungsmengen** im Vergleich zu Erde (**hoch energetische Teilchenstrahlung**)

Wie wirkt die Teilchenstrahlung auf die Elektronik ?



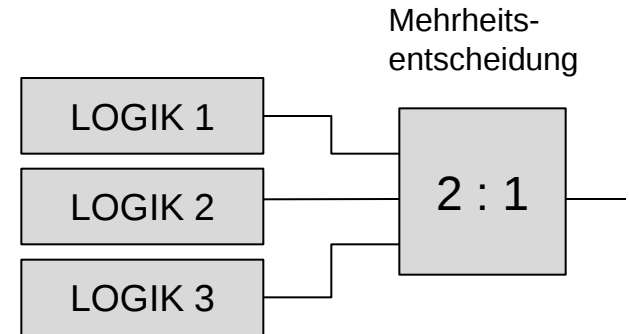
Wie oft tritt ein SEU auf?

Quelle: Joshua D. Engel, Michael J. Wirthlin, Keith S. Morgan, Paul S. Graham, ed., Predicting On-Orbit Static Single event Upset rates in Xilinx Virtex FPGAs, Los Alamos National Laboratory, 2006. LA-UR-06-8178.

Beispiel eines Virtex-II (2V6000) FPGAs

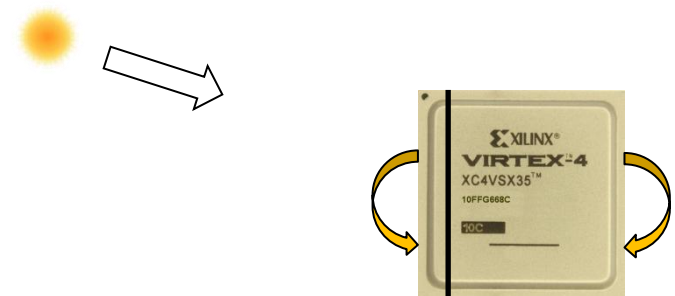
Orbit	Altitude (km)	Inclination (degrees)	Upset Rate (SEU/device/day)	MTBF (Time/Event)
LEO	400	51.6°	0.67	1.5 days
LEO	800	22.0°	9	2.7 hrs
Polar	833	98.7°	6	4 hrs
Const.	1,200	65.0°	25	58 min
GEO	36,000	0.0°	0.47	2.1 days

- Einsatz von Strahlungsfesten Bauteilen
 - **Teuer**
 - Evtl. **Qualifikation** von Bauteilen erforderlich
- TMR Triple Module Redundancy
 - Dreifache Implementierung der FPGA Logik
 - Mehrheitsentscheider an den Ausgängen
 - **Fängt nur ein SEU auf**



Aktuelle Lösungsansätze:

- Sicherung der FPGA Konfiguration
→ *Periodisches Auffrischen der Konfiguration*

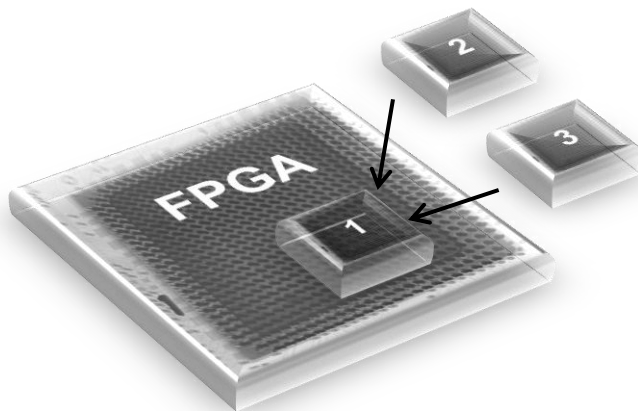


Realisierung

Was gibt es für Re – Konfigurationstechniken?



**Partielle dynamische
Re - Konfiguration**



**Komplette dynamische
Re - Konfiguration**



=> Komplette dynamische Re - Konfiguration

Mögliche Schnittstelle

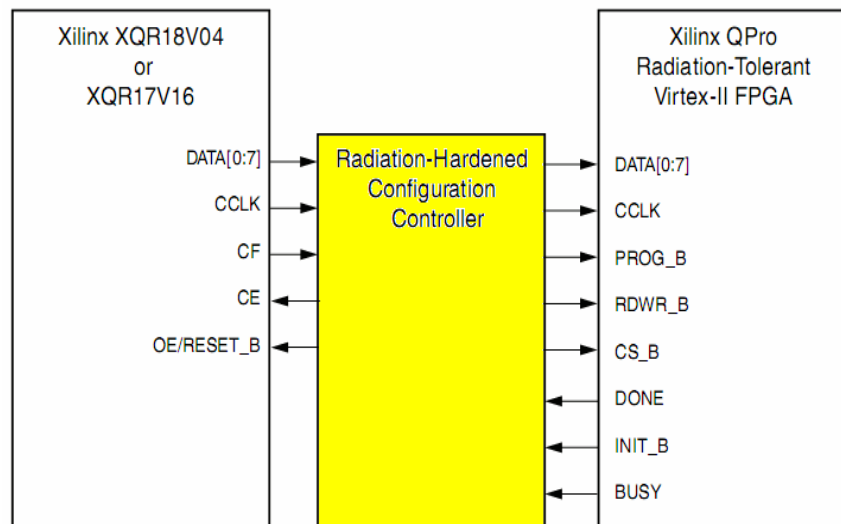


SelectMAP Schnittstelle

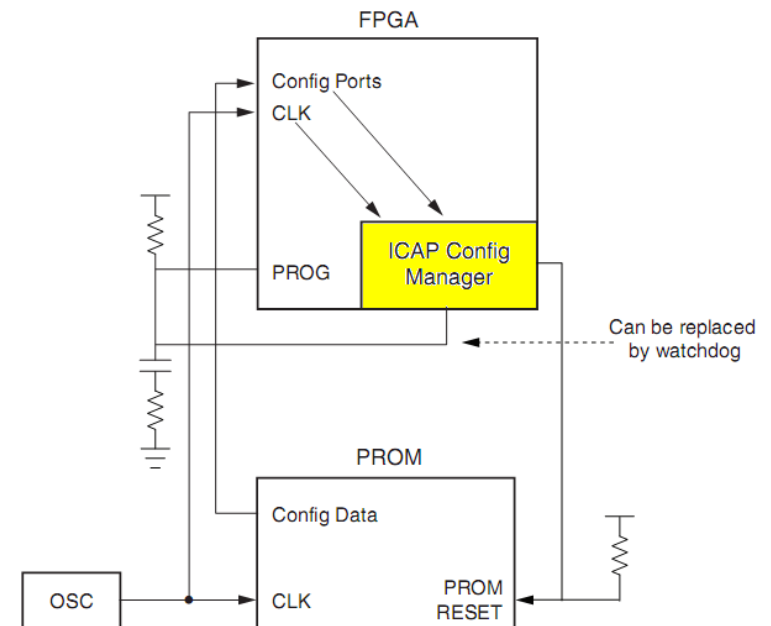


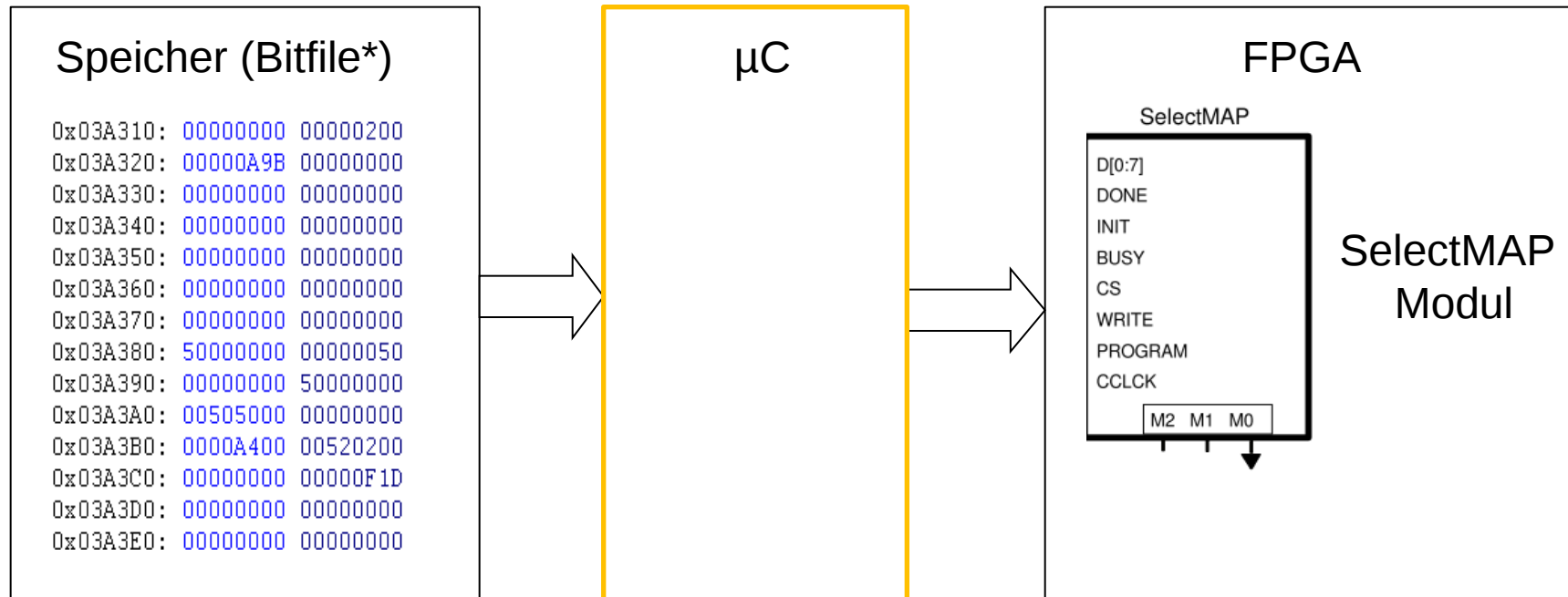
ICAP Schnittstelle

Externe Konfiguration (ext. μ C)



Interner Konfigurationskontrolller

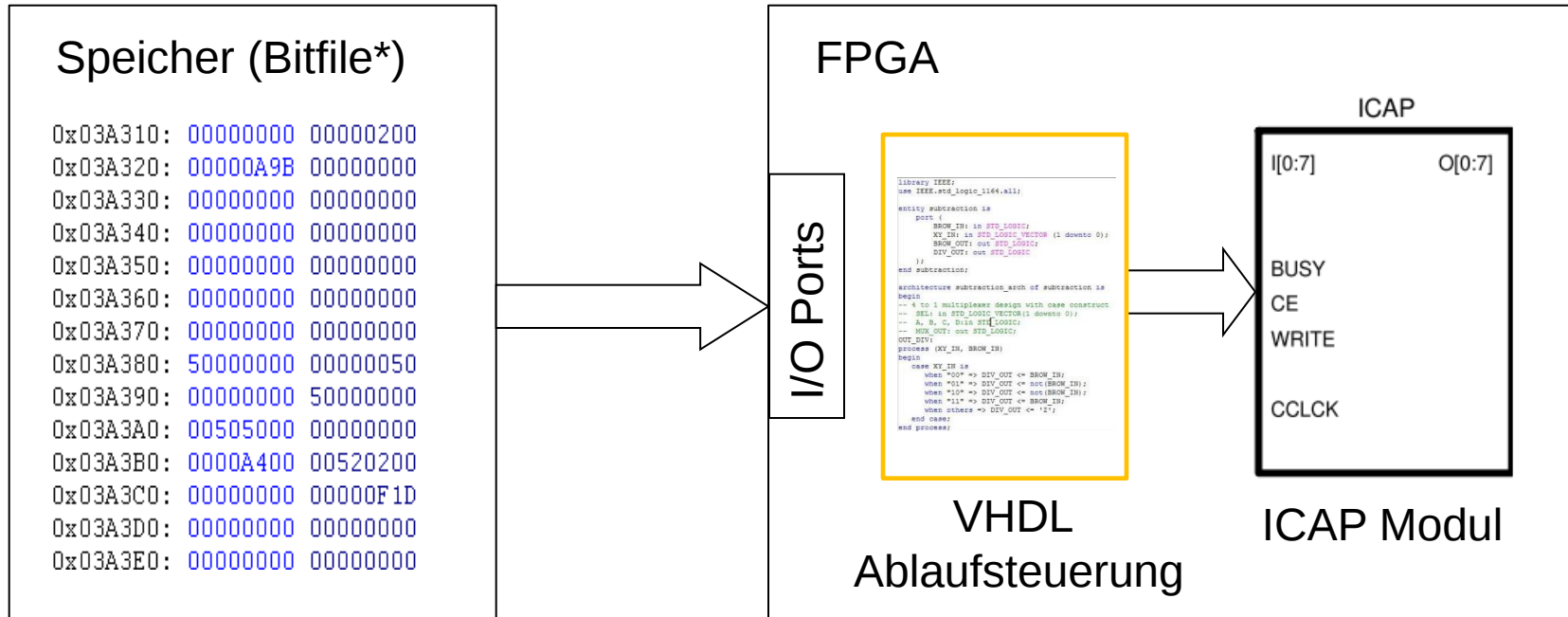




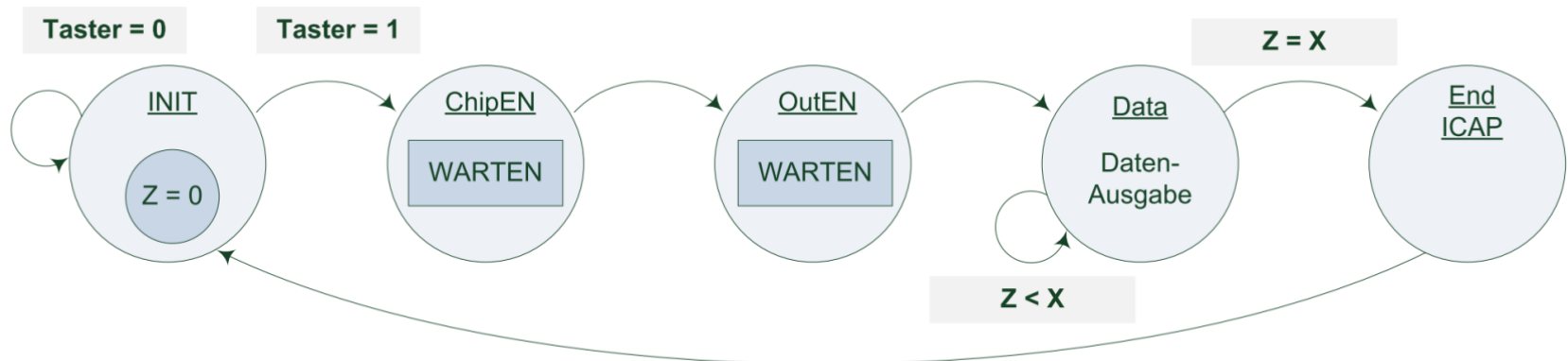
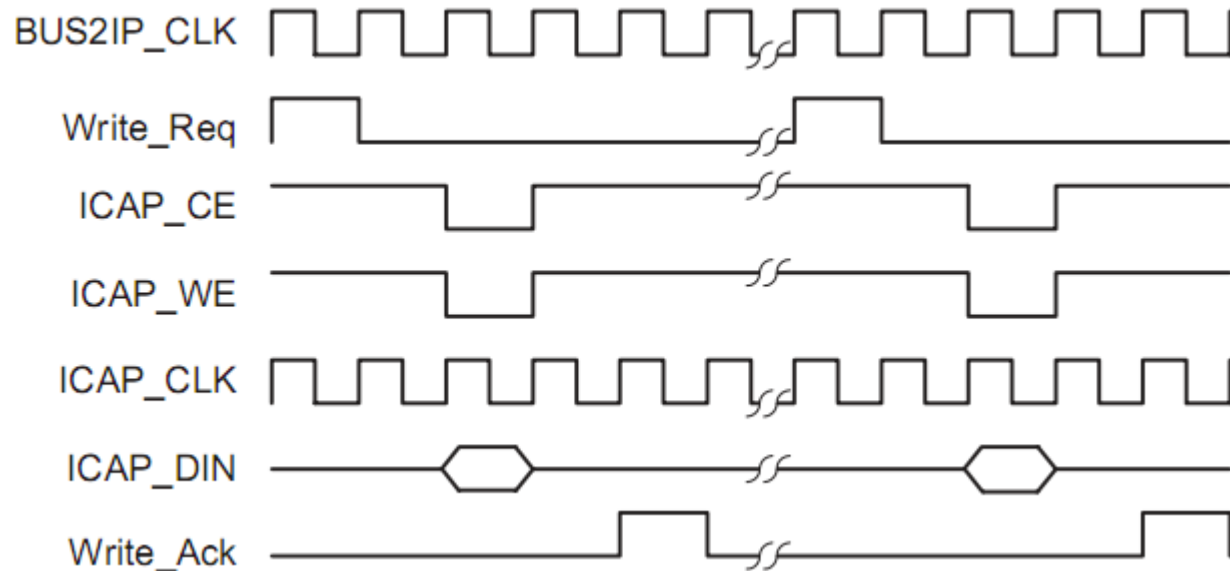
Nachteil:

externer μ C → Anfällig gegen Störeinflüsse

Realisierung: VHDL Statemachine fürs ICAP

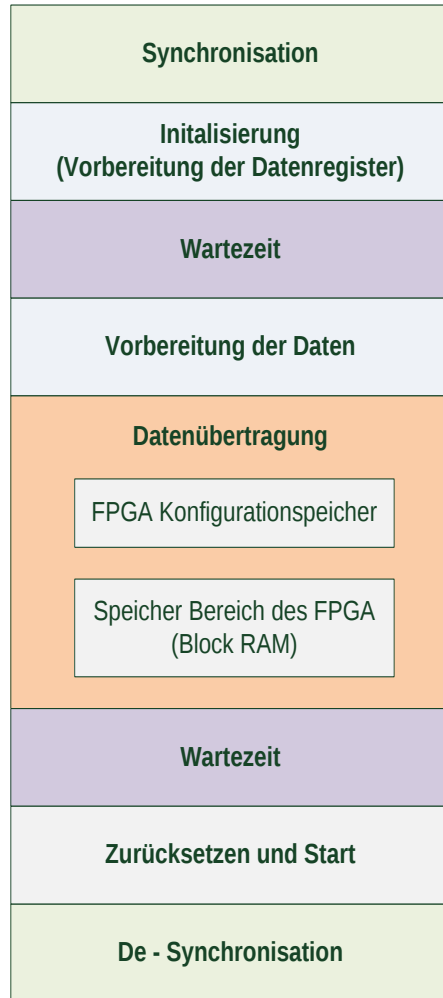


Realisierung: VHDL Statemachine fürs ICAP

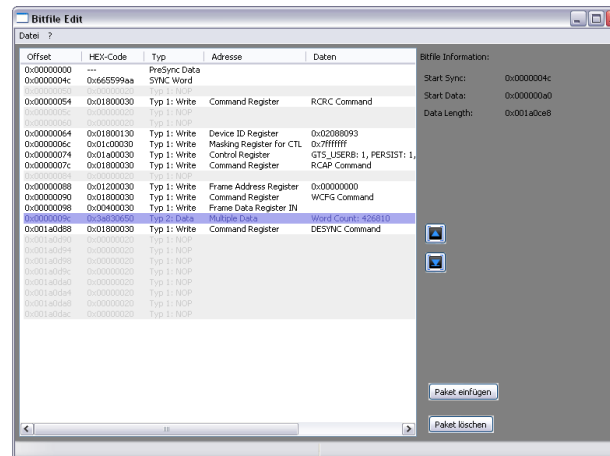


Quelle Bild (oben): XILINX - Vince Eck, Punit Kalra, Rick LeBlanc, and Jim McManus – XAPP662 - In-Circuit Partial Reconfiguration of RocketIO Attributes

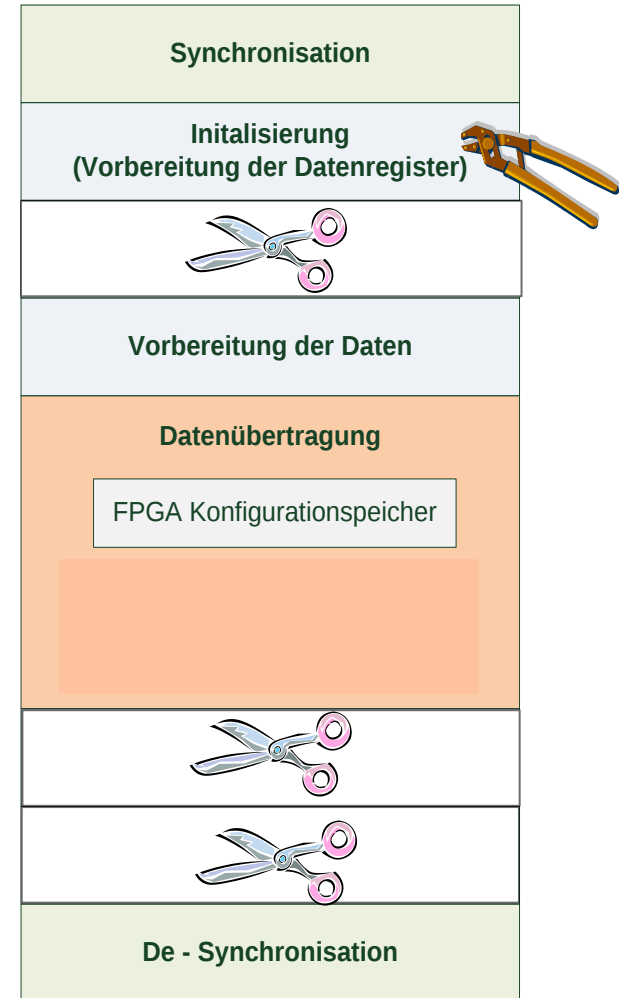
Binärdatei



Bearbeitung



Binärdatei*



1. Binärdatei (Lauflicht „links.bit“)



2. Binärdatei*
(Für die Re – Konfiguration
„links_SR.bit“)



3. Binärdatei_SEU („links_SEU“)

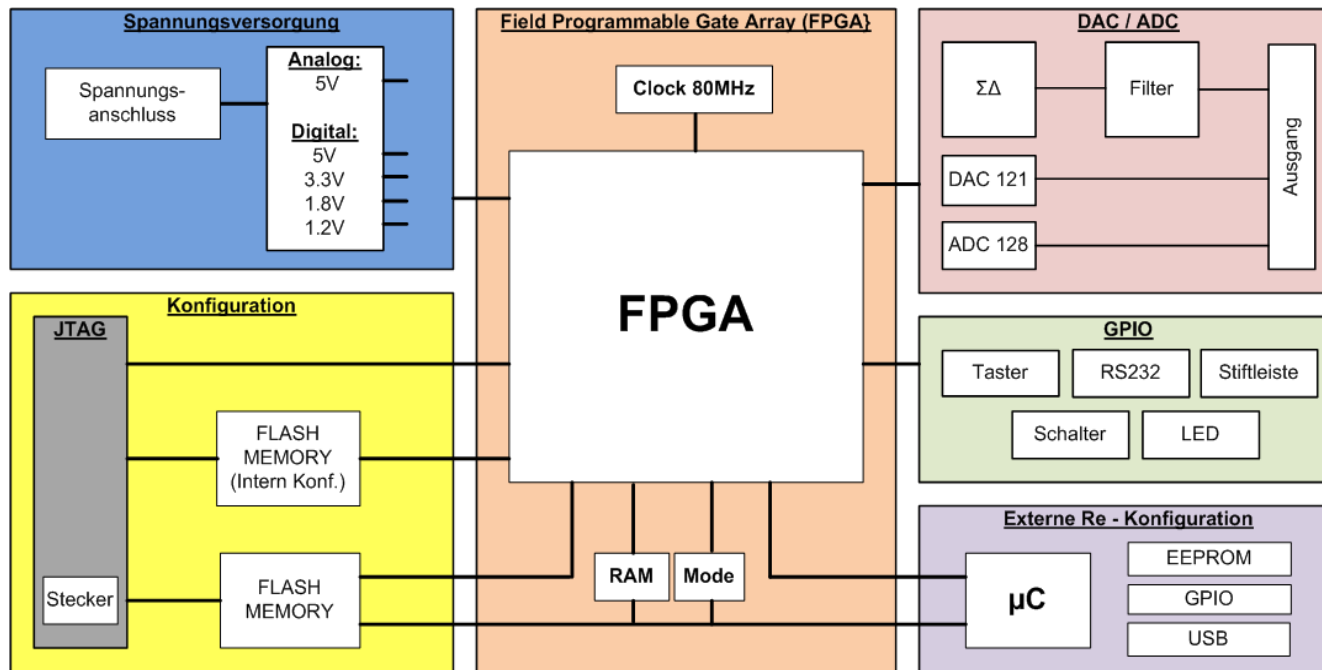


Texteditor

```
0x03A310: 00000000 00000200 00000000 20000000 .....
0x03A320: 00000A9B 00000000 00000000 00000000 ...I.....
0x03A330: 00000000 00000000 00000000 00000000 .....
0x03A340: 00000000 0000  SEU Simulation .....
0x03A350: 00000000 0000 .....
0x03A360: 00000000 00000000 00000000 00000000 .....
0x03A370: 00000000 00000000 00 5000 00000000 .....PP.....
0x03A380: 50000000 00000050 00000000 00000000 P.....P.....
0x03A390: 00000000 50000000 00040000 00000000 ....P....
0x03A3A0: 00505000 00000000 00000000 00000000 .PP.....
0x03A3B0: 0000A400 00520200 40000000 02220000 ..x..R..@...."..
0x03A3C0: 00000000 00000F1D 00000000 00000000 .....
0x03A3D0: 00000000 00000000 00000000 00000000 .....
0x03A3E0: 00000000 00000000 00000000 00000000 .....
0x03A3F0: 00000000 00000000 00000000 00000000 .....
0x03A400: 00000000 00000000 00000000 00000000 .....
0x03A410: 00000000 00000000 50000000 00000000 .....P.....
```

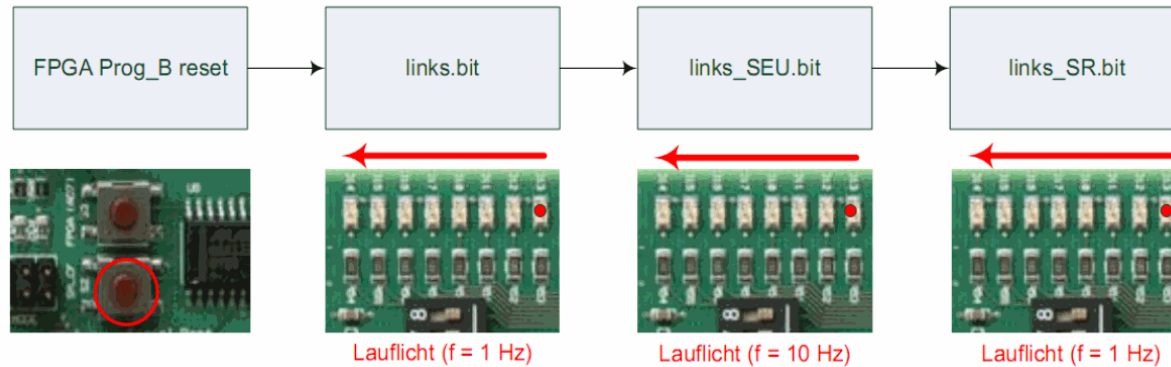
Testumgebung

Realisierung: Aufbau der Testumgebung

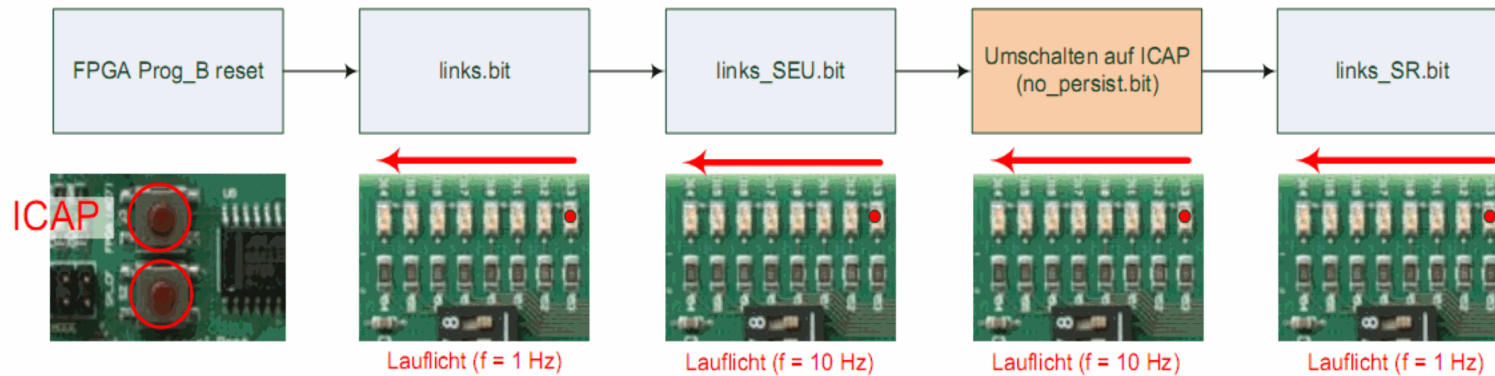


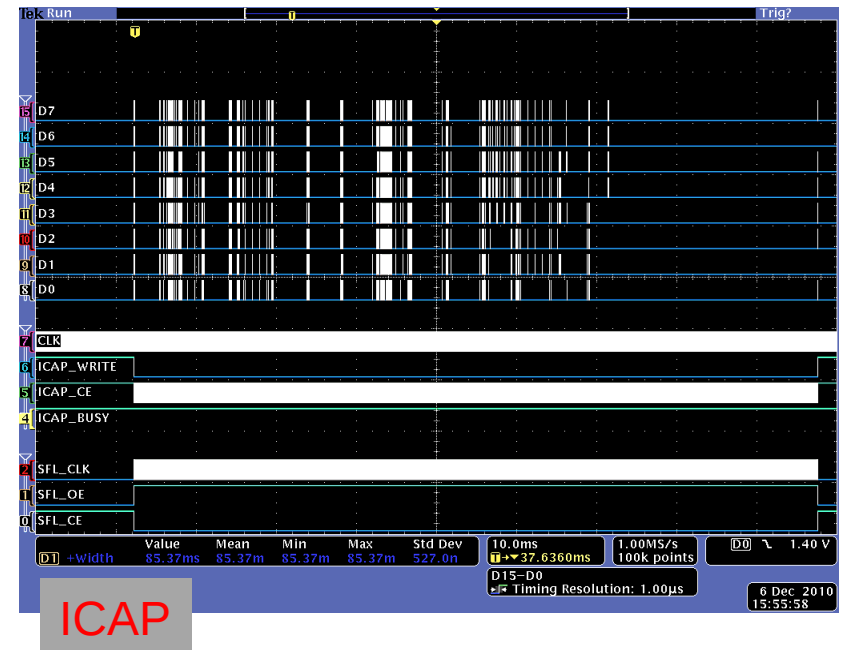
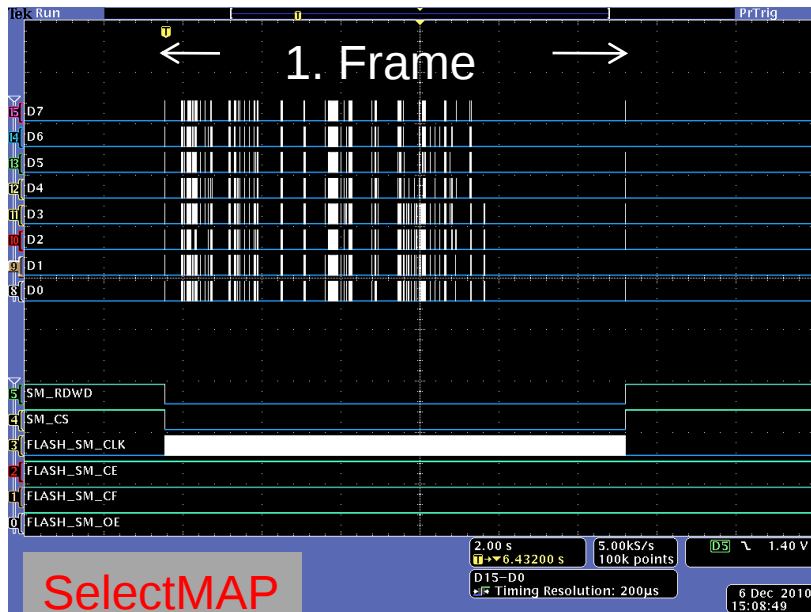
Messergebnisse

SelectMAP:



ICAP:





SelectMAP Schnittstelle:

Externer Mikrokontroller → Speicher Beschränkung → Übertragung von mehreren Paketen → **Übertragung im Bereich von mehreren Sekunden**

ICAP Schnittstelle:

Interner Ablaufsteuerung → **Re - Konfiguration im Bereich von 85ms**

Zusammenfassung & Ausblick

Neue Sicherungstechnologien zum Einsatz eines FPGA im Weltraum wurden erarbeitet:

➤ **Re – Konfiguration mittels ICAP**

- ➔ Ablaufsteuerung für die ICAP Schnittstelle
- ➔ Softwareoberfläche zur Bearbeitung der Binärdateien
- ➔ Kein externer Mikrocontroller notwendig
- ➔ Dynamische Re – Konfiguration in ca. 85ms

- ➔ Ausblick: - Implementierung der ICAP Ablaufsteuerung in TMR Technik
- Erweiterung der Software für den Einsatz von Virtex 5 FPGA Bausteinen (Xilinx)

Abschließend möchte ich mich bei Herrn Jano Gebelein und Herrn Norbert Abel von der Universität Heidelberg für die Unterstützung, bei der Anpassung der Binärdateien, bedanken.

Vielen Dank für Ihre Aufmerksamkeit!



Haben Sie noch Fragen?

m.dick@fz-juelich.de