Signale, Neutrondetektor und RFSoC

Signale aus einem Neutronendetektor mit einem RFSoc verarbeitet

Jörn Plewka
Christian Jacobsen

Technikum – Helmholtz-Zentrum hereon

Darmstadt, 19.03.2024

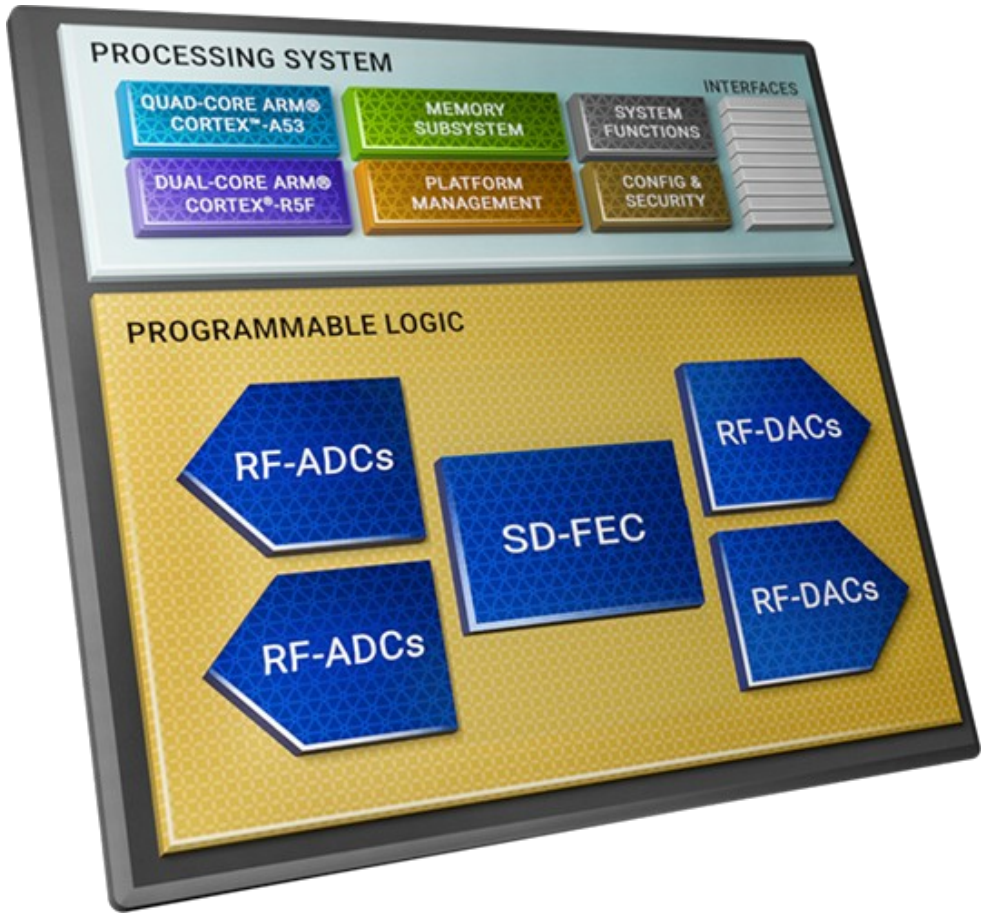
Agenda

- Vorstellung AMD RFSoC
- Rückblick Detektor
- Umstellung auf RFSoC
- Python / Jupyter

RFSoC

Vorstellung AMD RFSoC

AMD RFSoC



- Zynq Ultrascale+ Architektur
- ADC / DAC integriert – kein JESD204 Overhead
- Vielzahl von Kanal- und Geschwindigkeitskombination (3 Generationen)
  - **8x 4GSPS ADC / 8x 6GSPS DAC**
  - **8x 5GSPS ADC / 16x 9GSPS DAC**
- Quad-core Arm® Cortex®-A53 MPCore™ 1.3GHz
- Dual-core Arm Cortex-R5F MPCore 533MHz

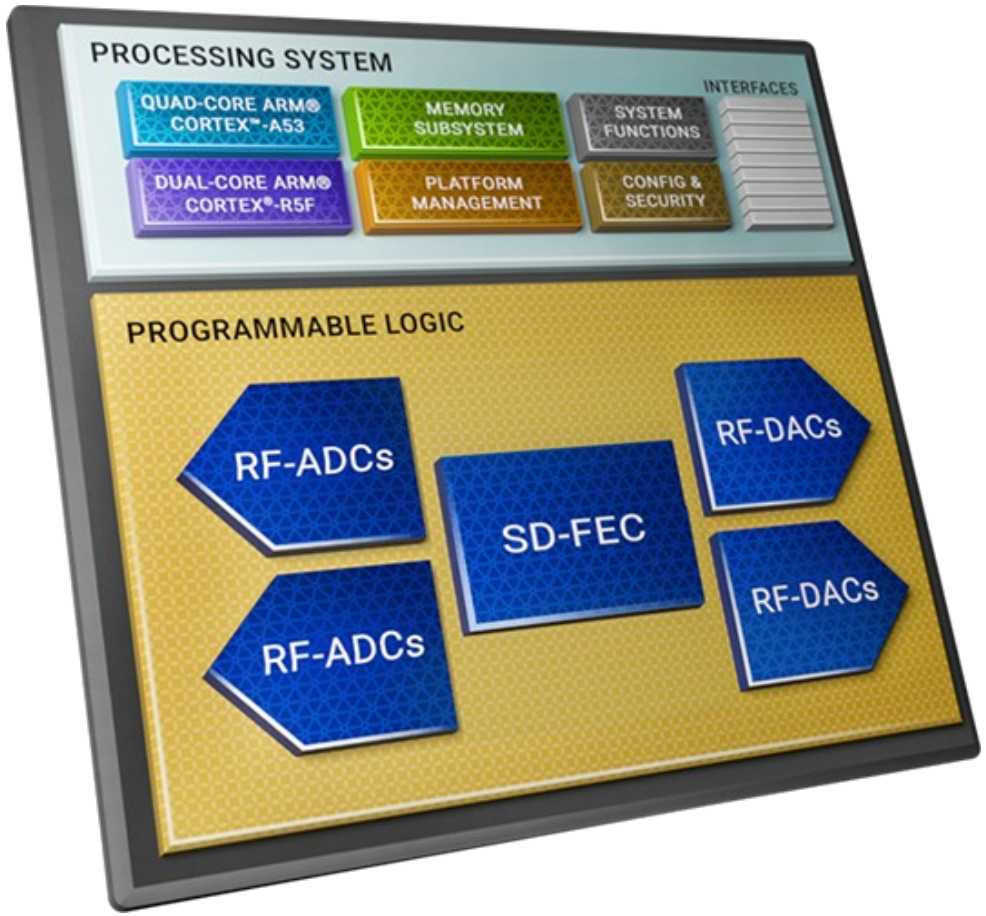
- Selection Guide: https://www.xilinx.com/content/dam/xilinx/support/documents/selection-guides/zynq-usp-rfsoc-product-selection-guide.pdf

Bild: https://www.xilinx.com/products/silicon-devices/soc/rfsoc.html

Helmholtz-Zentrum hereon

AMD RFSoC

Beispiel Anwendungen (AMD)



- 5G and LTE Wireless
- Remote-PHY for Cable Access DOCSIS 3.1
- Phased Array Radar/Digital Array RADAR
- Test & Measurement
- Satellite Communications

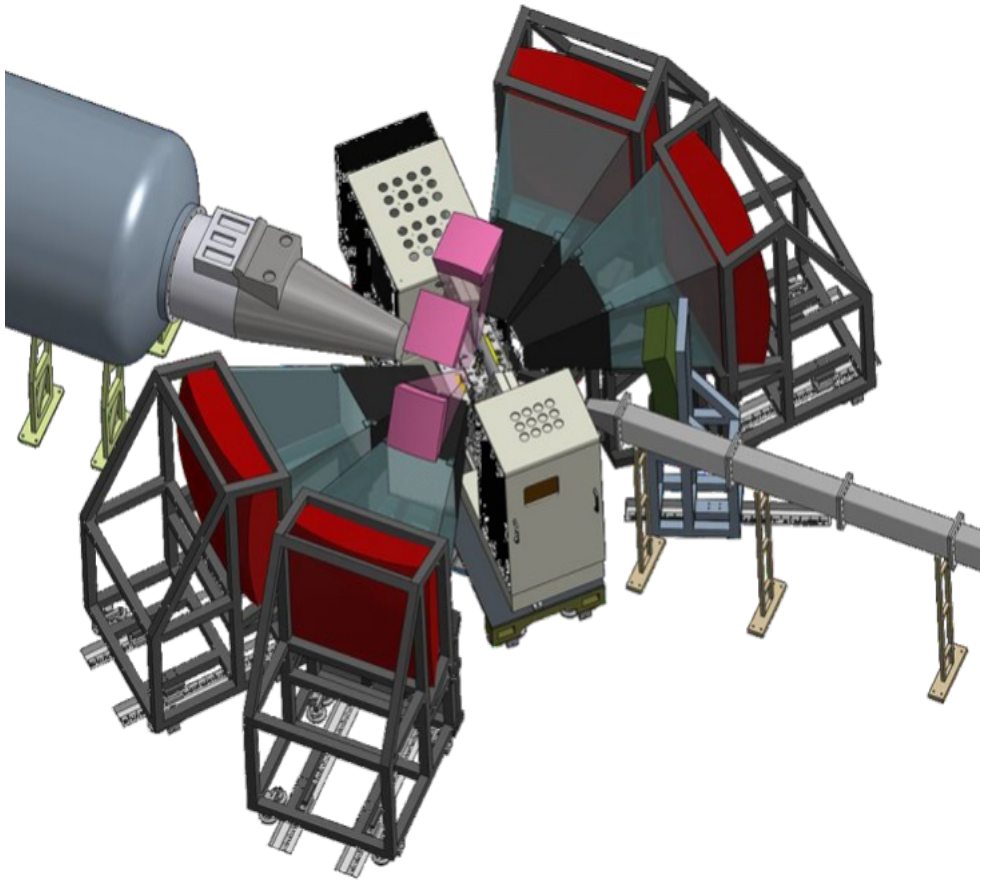
Quelle:
https://www.xilinx.com/products/silicon-devices/soc/rfsoc.html#applications

Bild: https://www.xilinx.com/products/silicon-devices/soc/rfsoc.html

Detektor

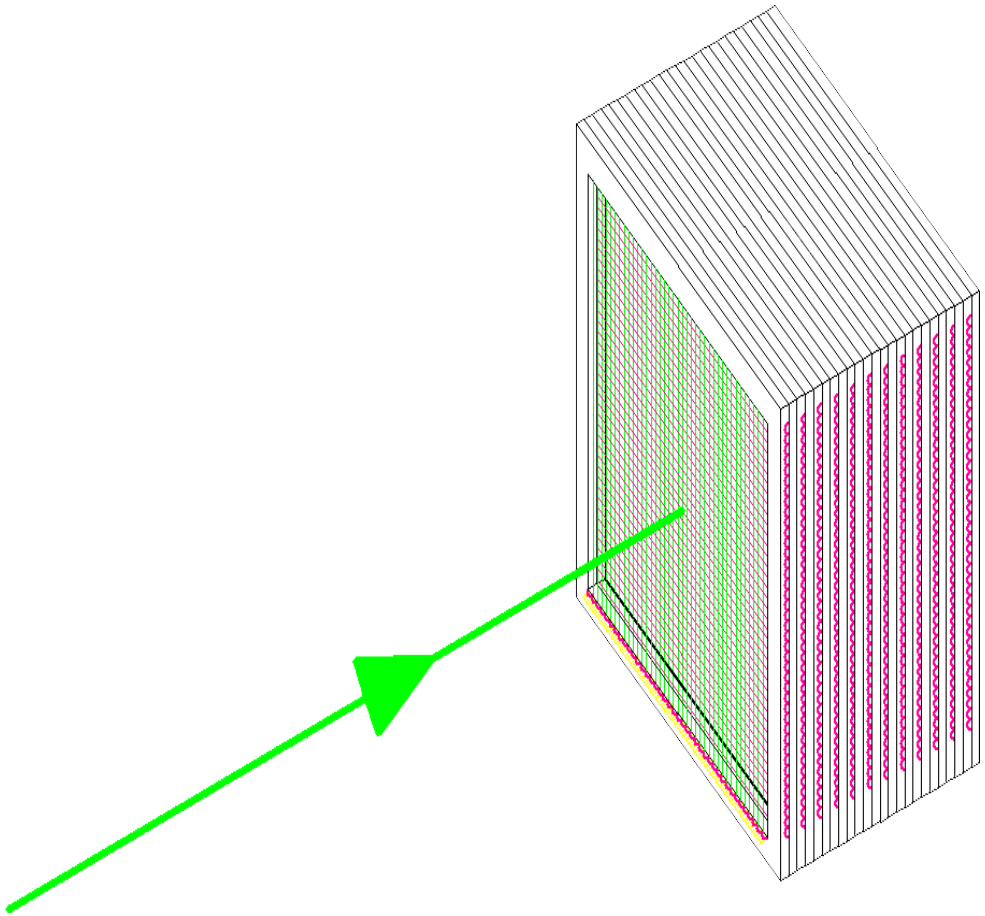
Auswertung von Signalen - bisher

BEER @ESS
Modell Vollausbau



- BEER = Beamline for European Materials Engineering Research
- Vollausbau:
  - 4x 1m² Detektor
  - SANS Rohr mit Detektor
  - ARC-Detektoren
  - kl. Detektor neben Strahlrohr
  - Beammonitore

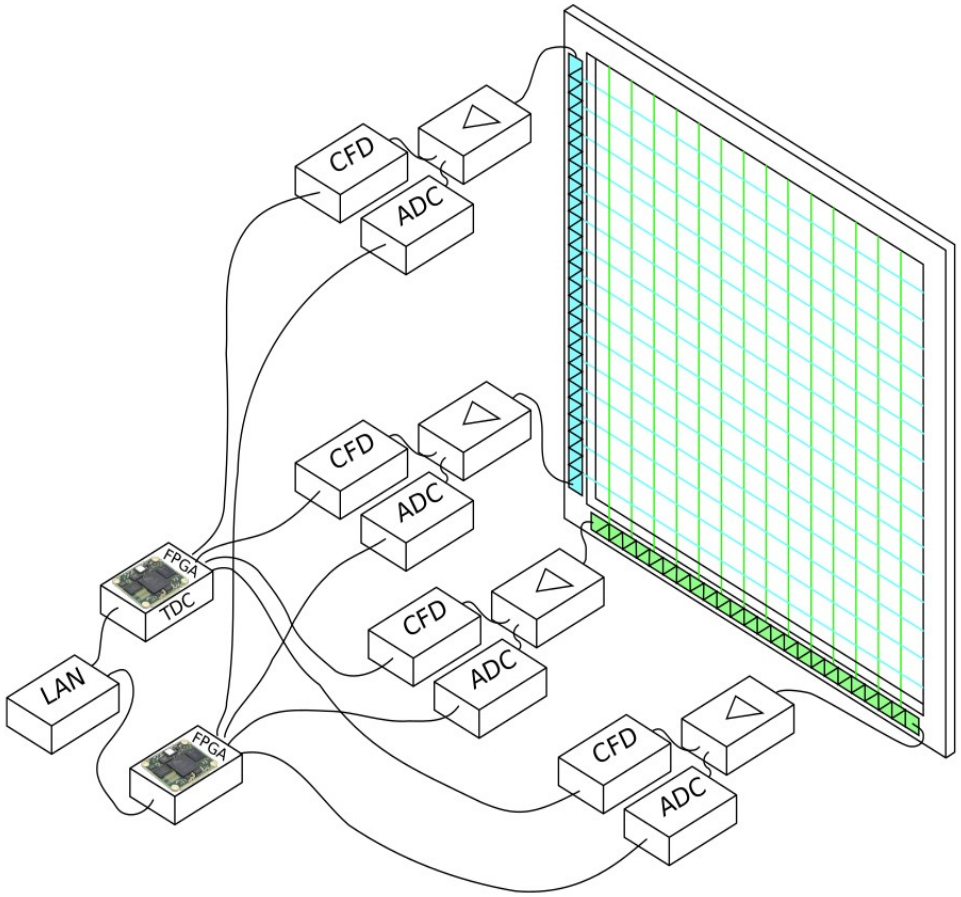
1m² Detektor
Aufbau



Grundkonstruktion:
Multi-Wire Proportional Chamber (MWPC)

- Ein Detektor besteht aus 12 Ebenen
- Effizienz einer Ebene wäre zu niedrig
- Zählrate global 1Mcps
  → Zählrate pro Ebene ~100kcps

1m² Detektor
Auswertung

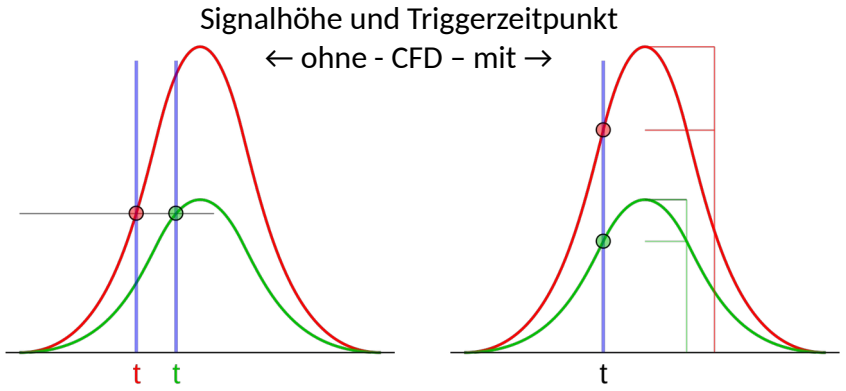


- Delayline: Zeitcodierung des Ortes
- X- und Y-Delayline für jeweilige Drahtebene

- 4x Vorverstärker
- 4x CFD (Constant Fraction Discriminator, s.u.)
- 4x TDC Kanal

16 TDC-Kanäle pro Zynq FPGA realisiert
Statt ADC nur Threshold und weiterer TDC-Kanal

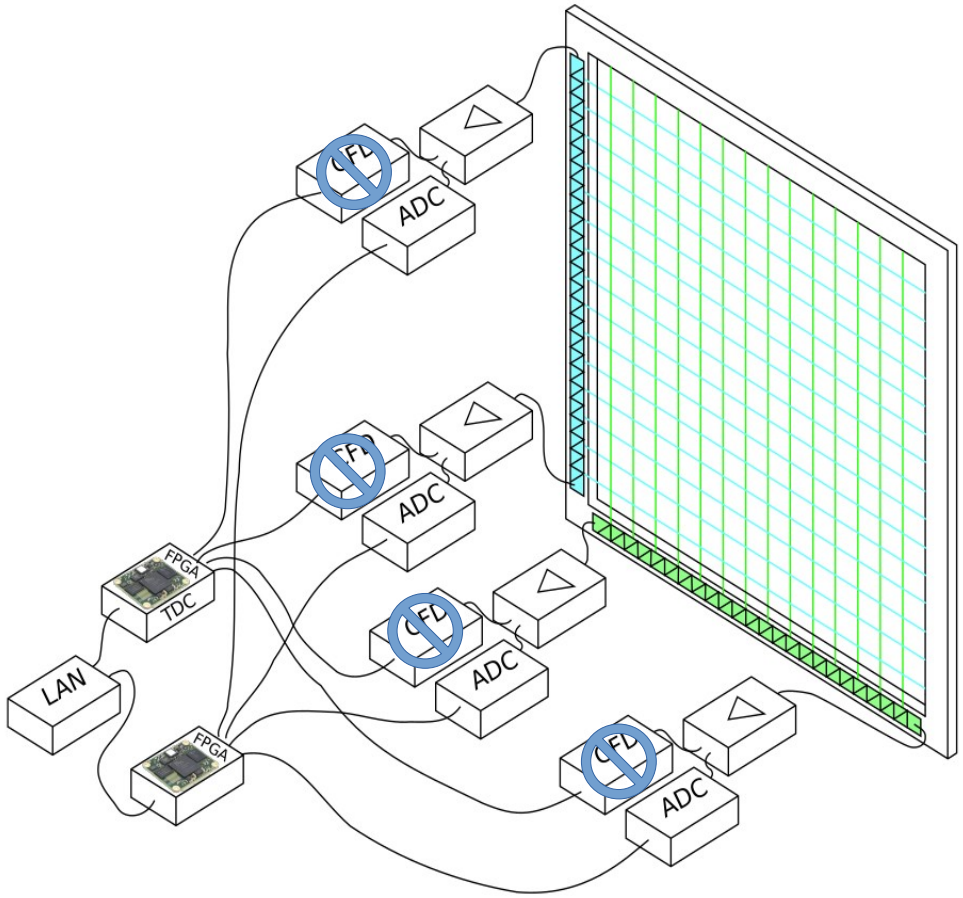
- → 2 Ebenen pro Zynq FPGA



Detektor

Auswertung von Signalen – neue Entwicklung

1m² Detektor
Auswertung RFSoC



- Delayline: Zeitcodierung des Ortes
- X- und Y-Delayline für jeweilige Drahtebene

- 4x Vorverstärker
- 4x ADC Kanäle

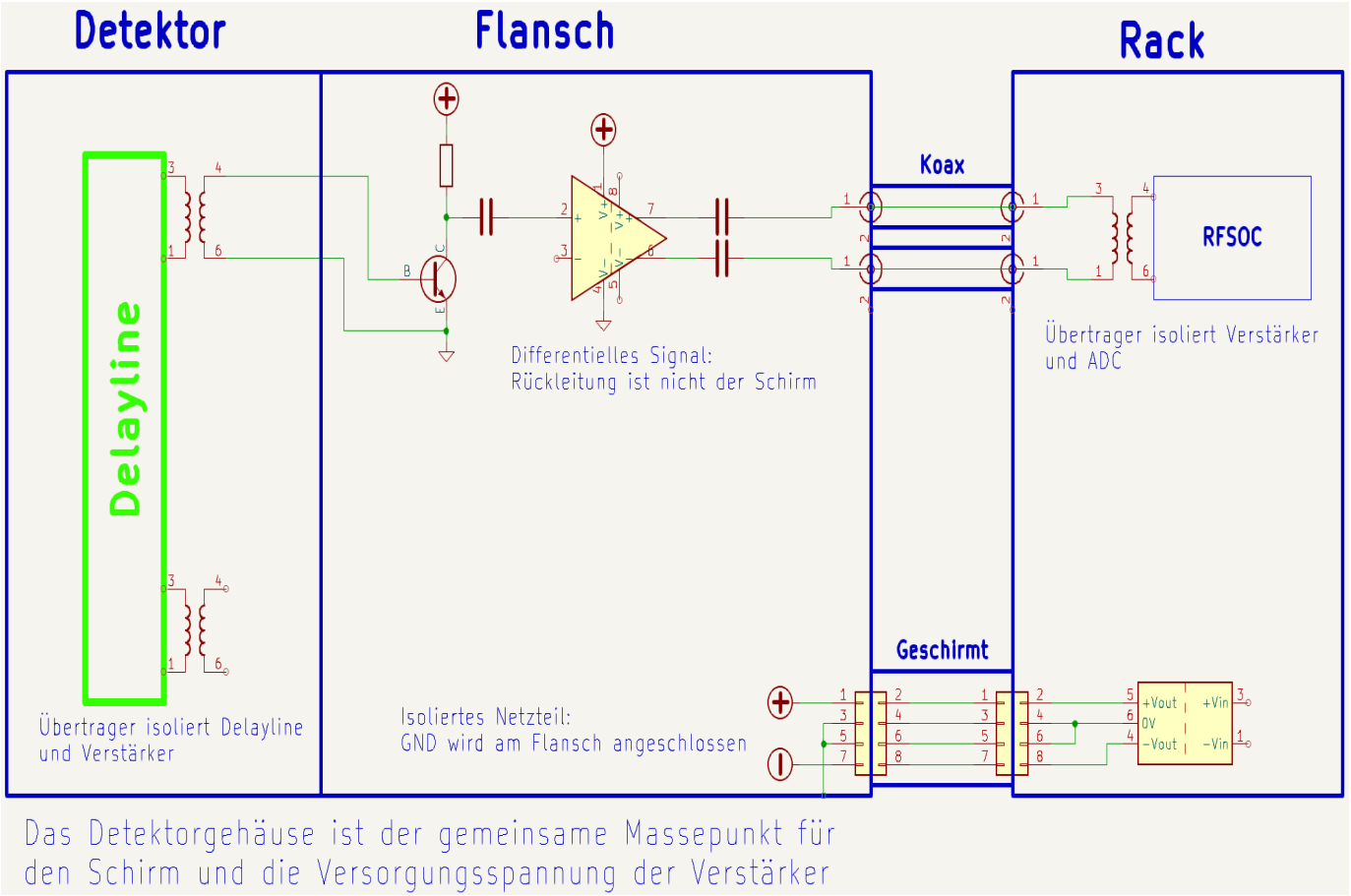
- RFSoC FPGA mit 8 ADC-Kanälen
- CFD jetzt in digitaler Logik

- → wieder 2 Ebenen pro RFSoC

Helmholtz-Zentrum hereon

1m² Detektor

Signalweg und Massekonzept



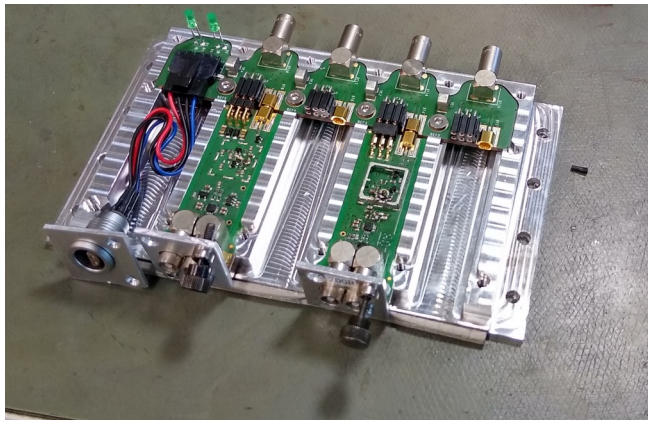
Ältere Beamlines haben oft große Probleme mit Masseströmen, daher:

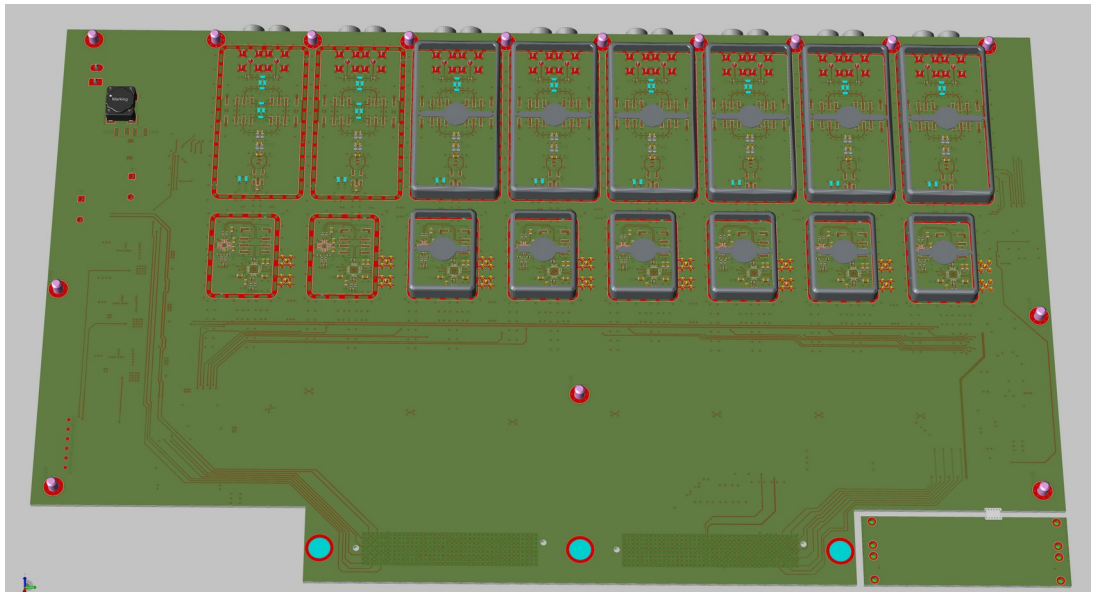
- Übertrager auf beiden Seiten
- Signale werden möglichst früh differentiell
- Flansch mit Steckplätzen für Vorverstärker ist Teil des Detektorgehäuses
- Signal- und Atmosphärenübergang per Leiterplatte im geschirmten Flansch

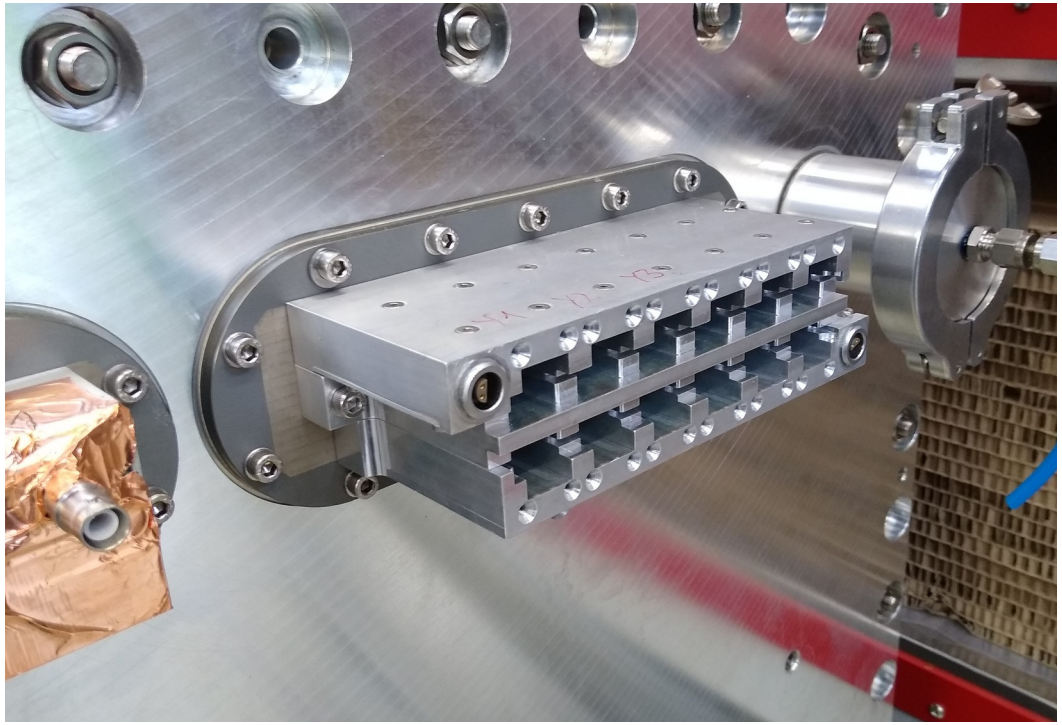
Helmholtz-Zentrum hereon

1m² Detektor

Signalaufbereitung





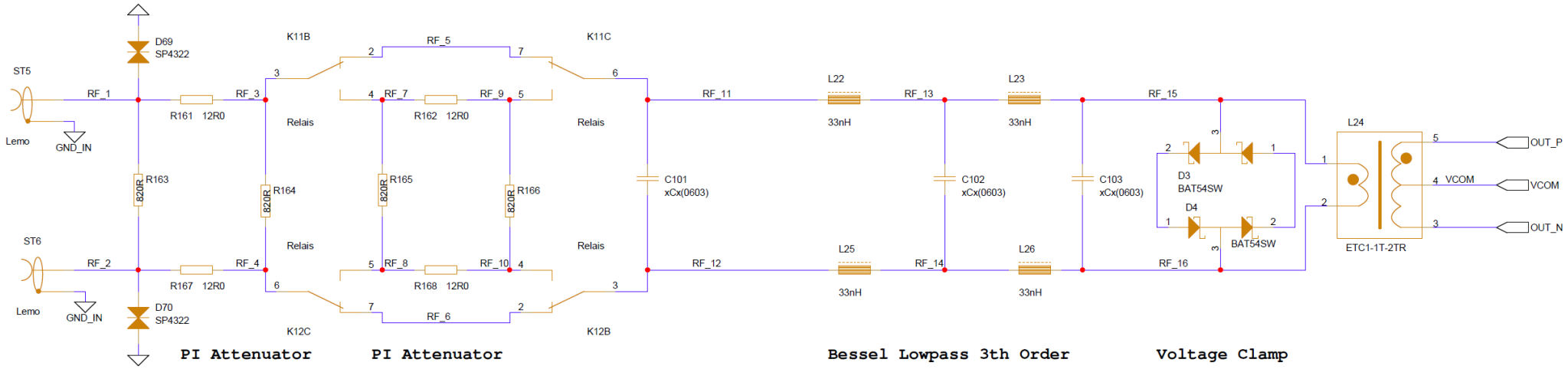


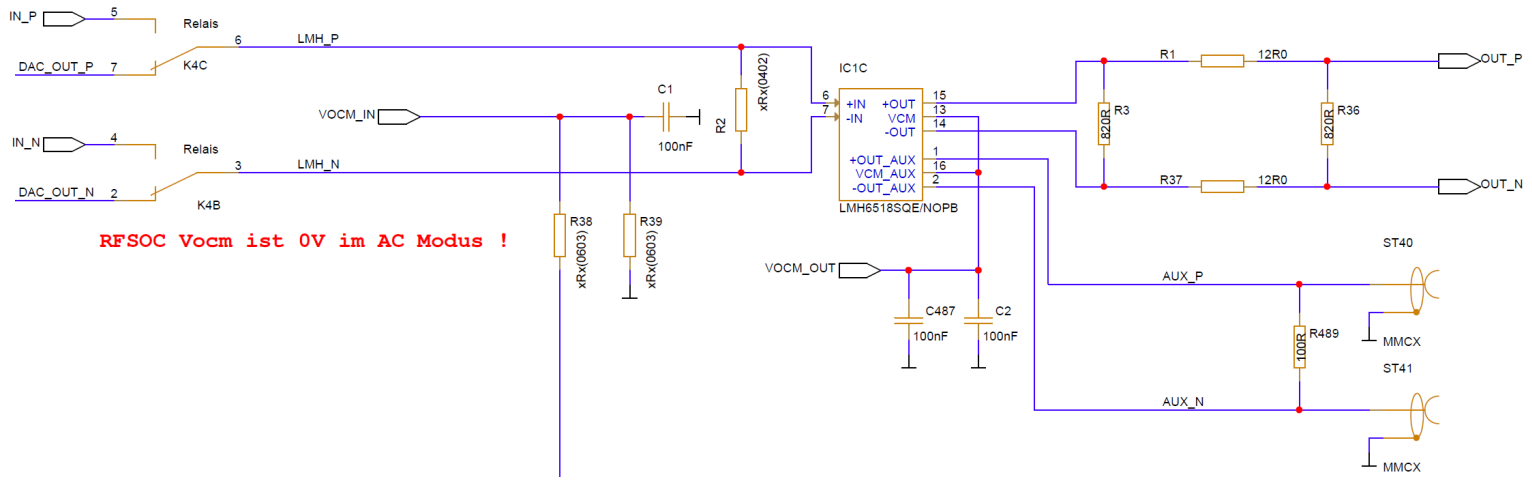
Frontend Board für ZCU111 Eval Board

Helmholtz-Zentrum hereon

1m² Detektor

Signalaufbereitung

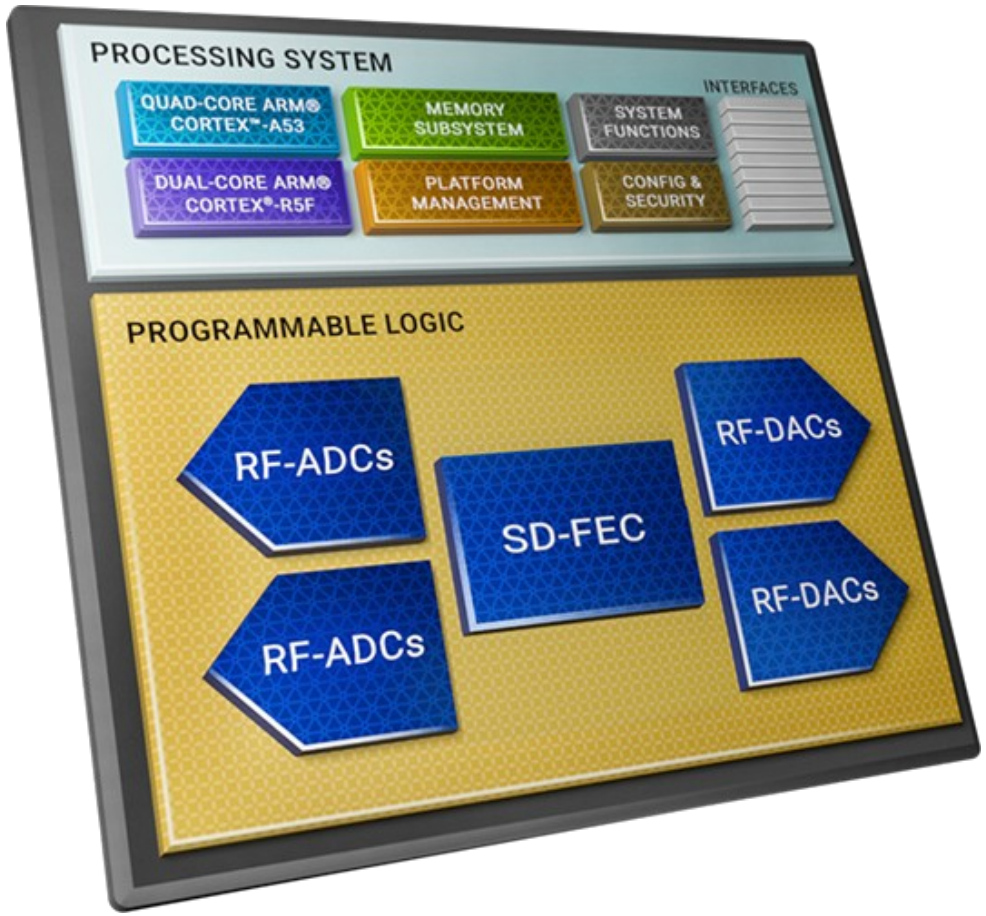




Frontend Board für ZCU111 Eval Board

Helmholtz-Zentrum hereon

1m² Detektor
Auswertung RFSoC



Schneller in die digitale Welt:

- Vorverstärkte Signale direkt abgetastet
- Zeitpunkt des Spitzenwerts/Umkehrpunkts in Logik (CFD)
- Ortsbestimmung per: Samplenummer, Abtastfrequenz → Zeitdifferenz

Weitere Vorteile:

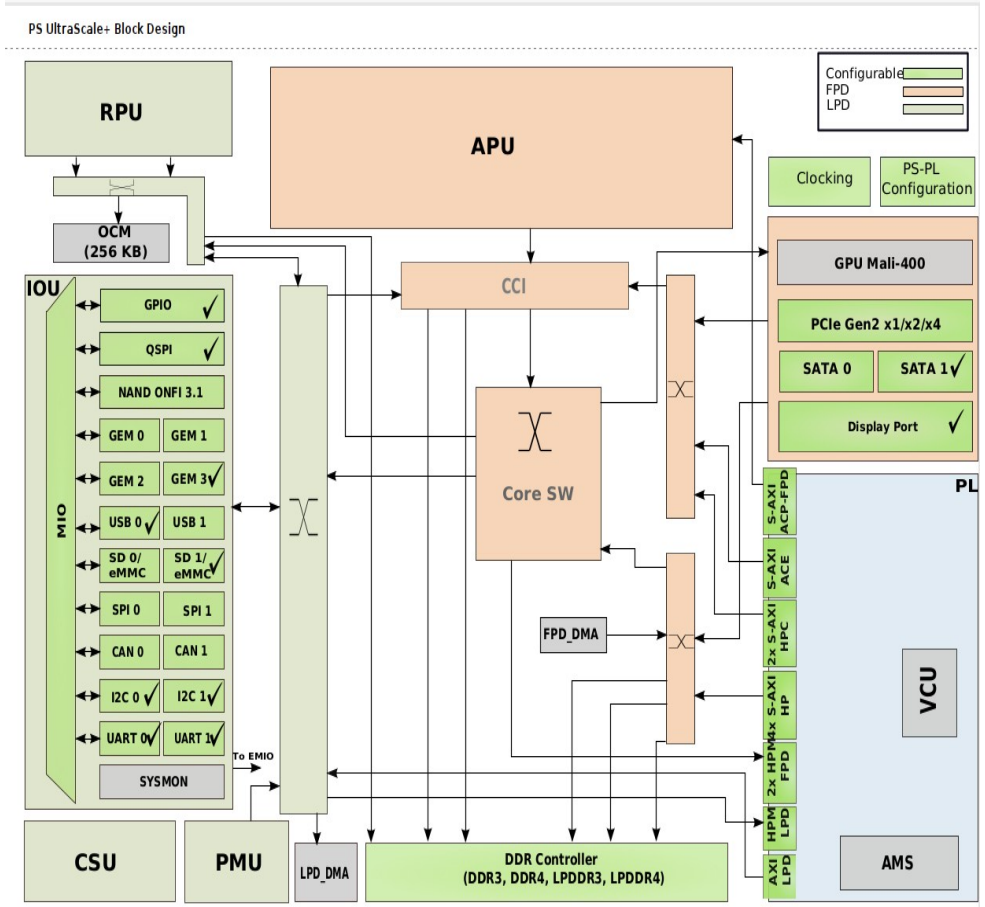
- Testsignale direkt mit DACs erzeugen
- Einstellbare Verstärkung und
- zuschaltbare Dämpfer zur Anpassung
- „Eingebautes Oszilloskop“ auf allen Kanälen

Beschaffung:

- weniger und universellere Bauteile
- RFSoC: Abhängigkeit und Preis

Helmholtz-Zentrum hereon

1m² Detektor
Auswertung RFSoC



RFSoC als Fortführung von Zynq und Ultrascale-SoC

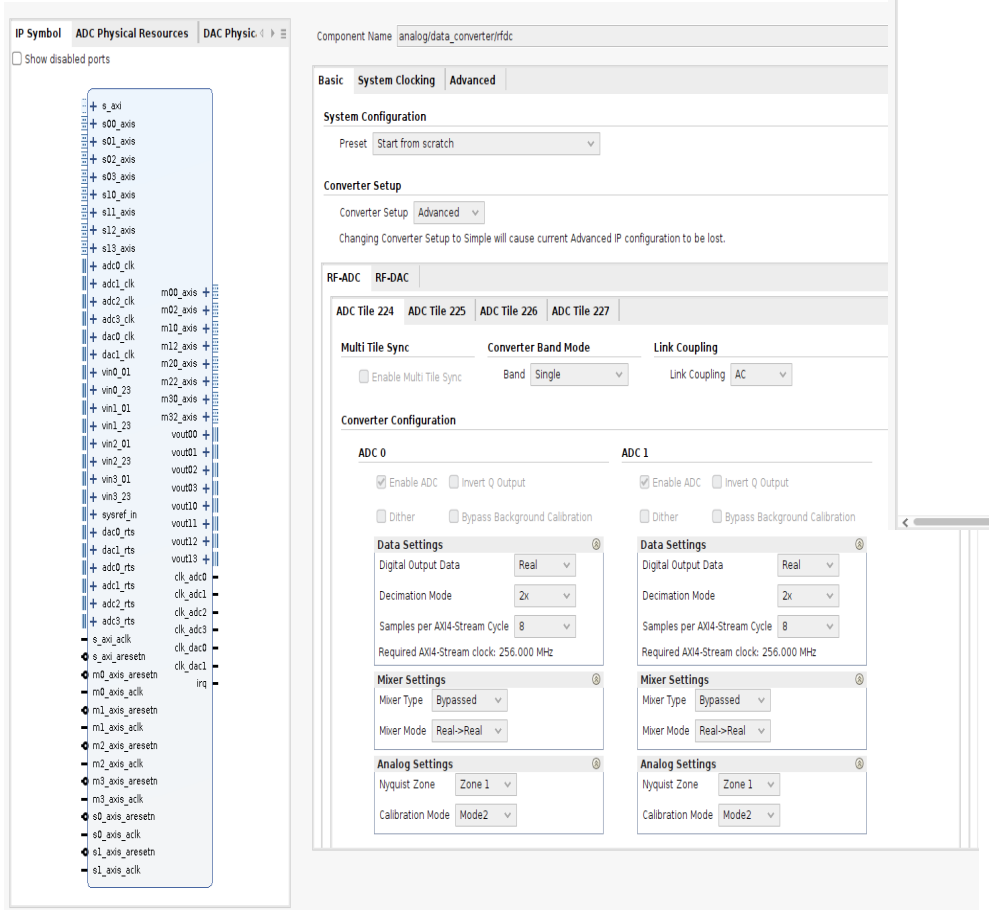
- Leistungsstarkes uC-System
- 64bit Multicore Anwendungsprozessor
- 32bit Multicore Echtzeitprozessor
- Verwaltungsprozessoren
- leistungsstarkes koherentes Bussystem
- leistungsfähige, vielfältige Peripherie u.a. mit Speichercontroller und ggf. GPU
- FPGA als weitere flexible Peripherie

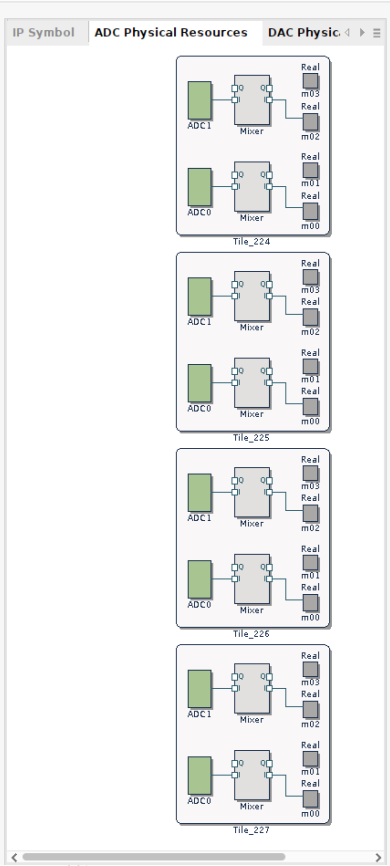
- **Sehr schnelle ADCs und DACs mit brauchbarer Spannungsauflösung**

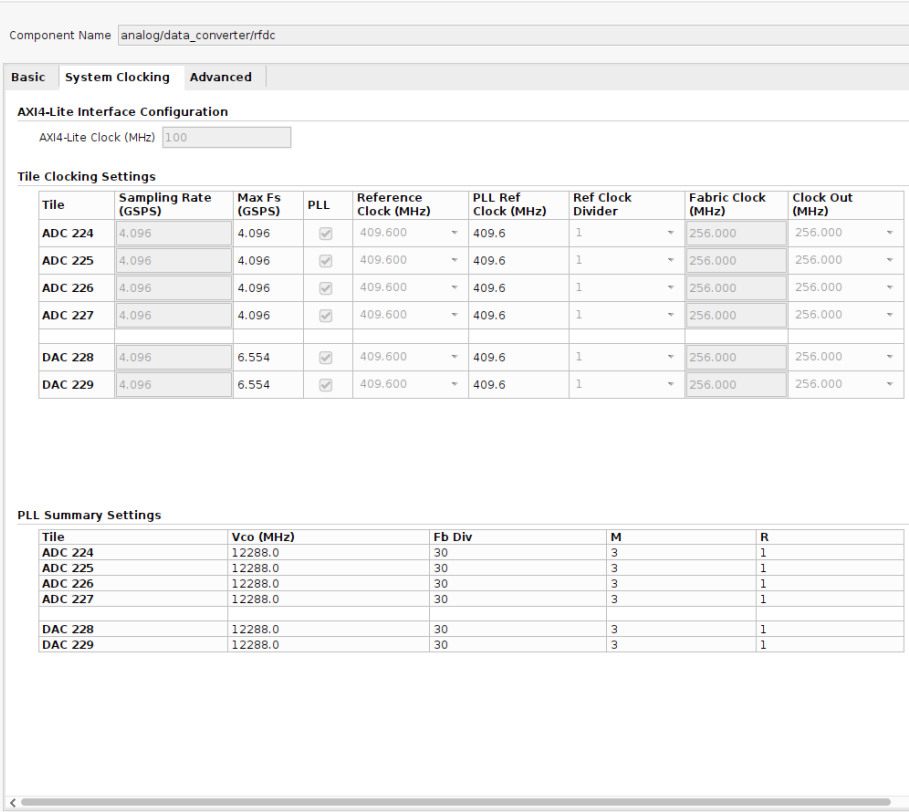
Helmholtz-Zentrum hereon

1m² Detektor

RFSoC Analog Block

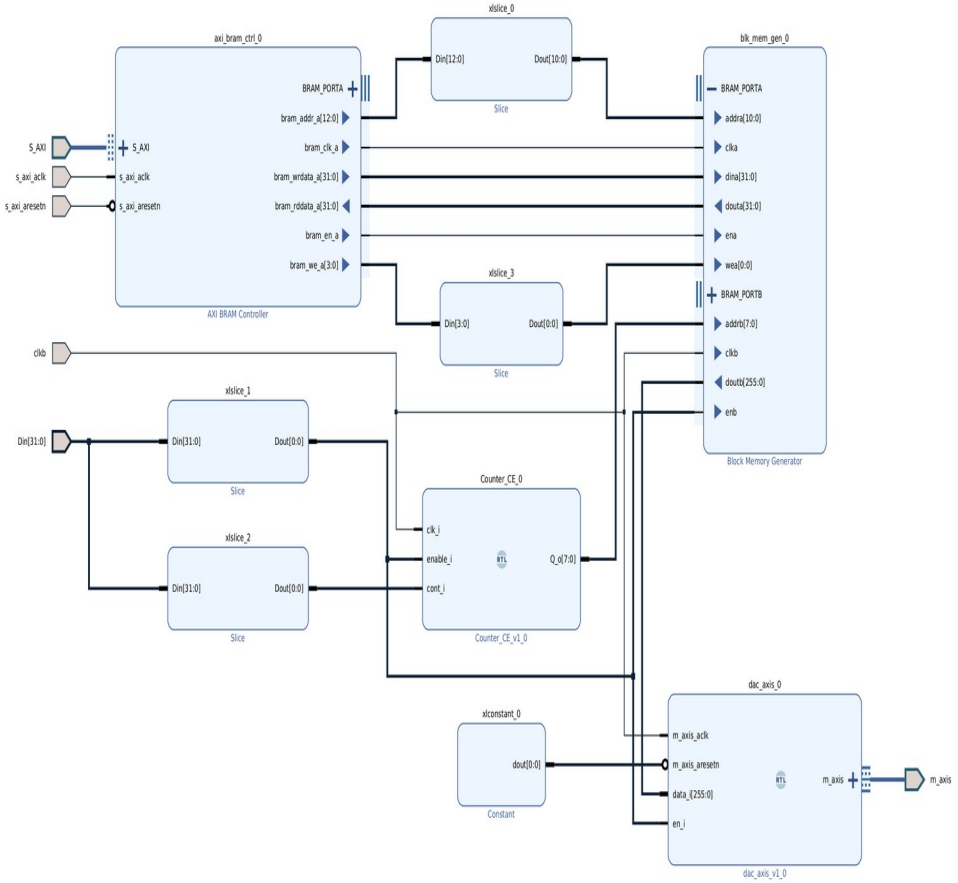






Helmholtz-Zentrum hereon

1m² Detektor
RFSoC Analog Block



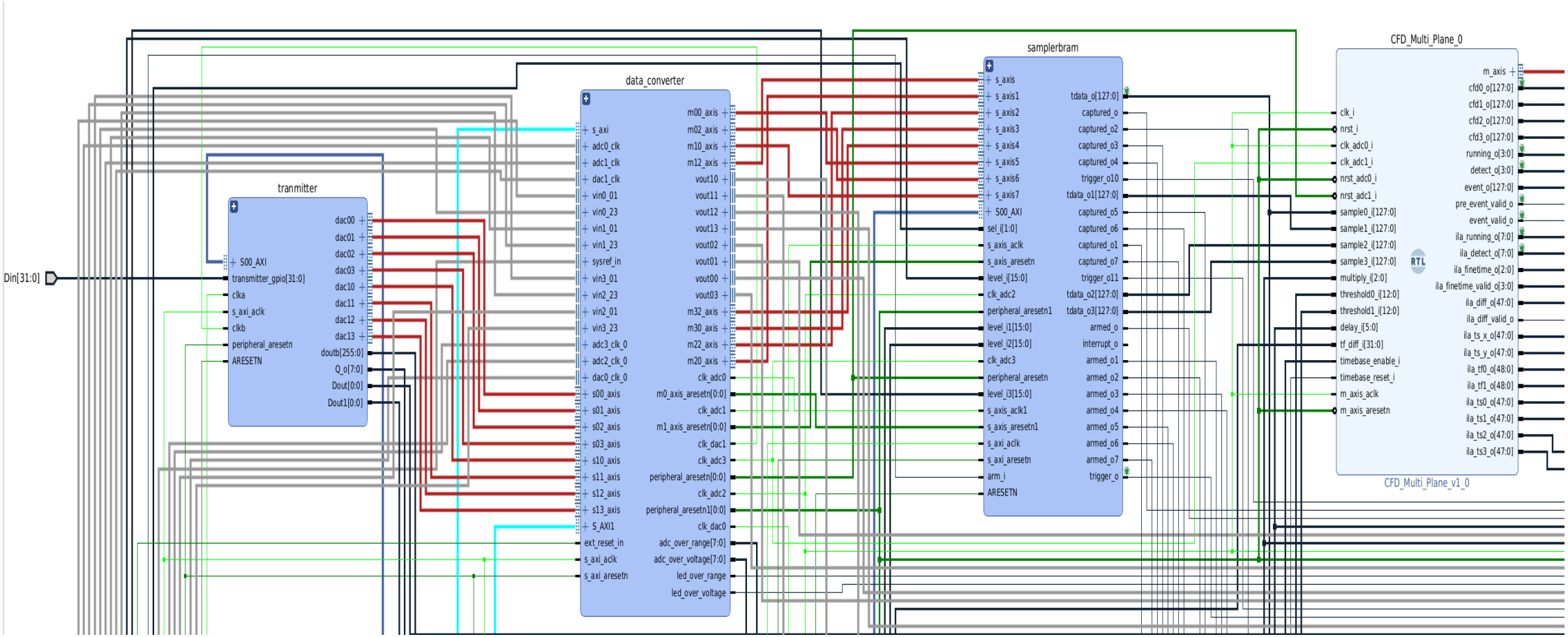
Einfaches Beispiel: Daten per DAC ausgeben

- Dual Ported RAM als Interface
  - Ein Port am AXI-Stream Bus
  - Zweiter Port Daten direkt am DAC, Adresse per Zähler incrementieren

Helmholtz-Zentrum hereon

1m² Detektor

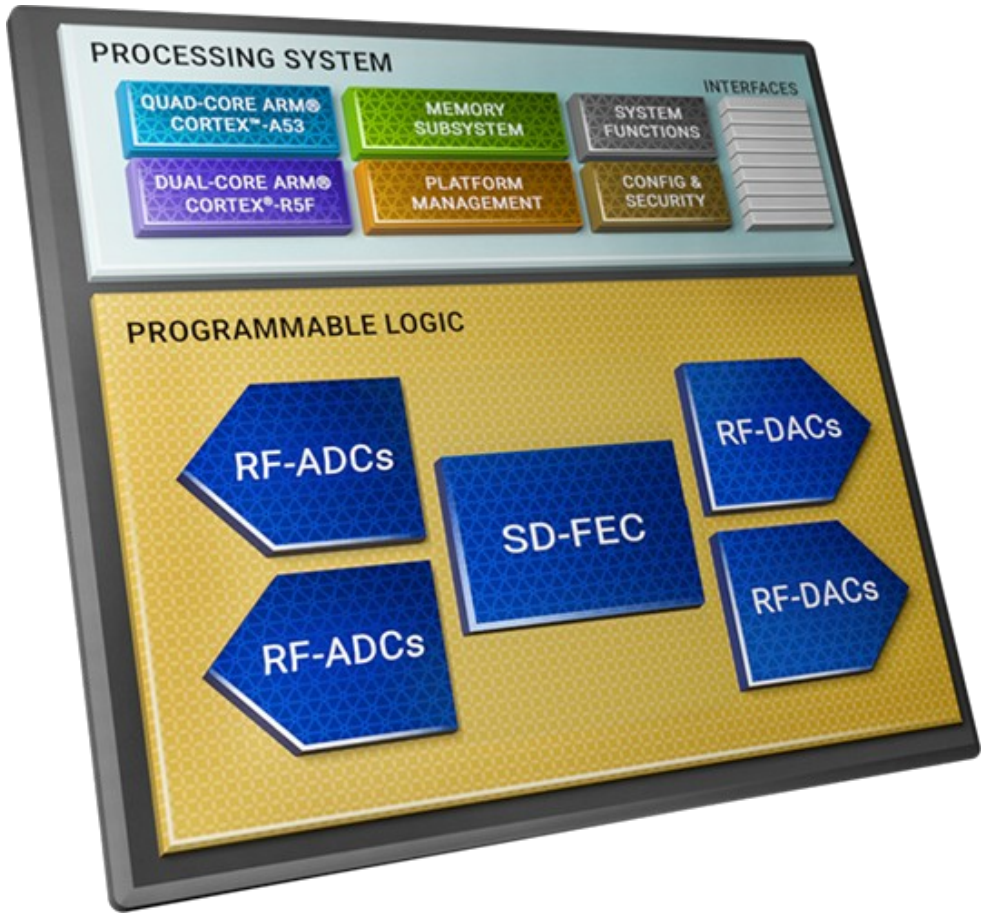
RFSoC Analog Block



Helmholtz-Zentrum hereon

1m² Detektor

CFD in Logik

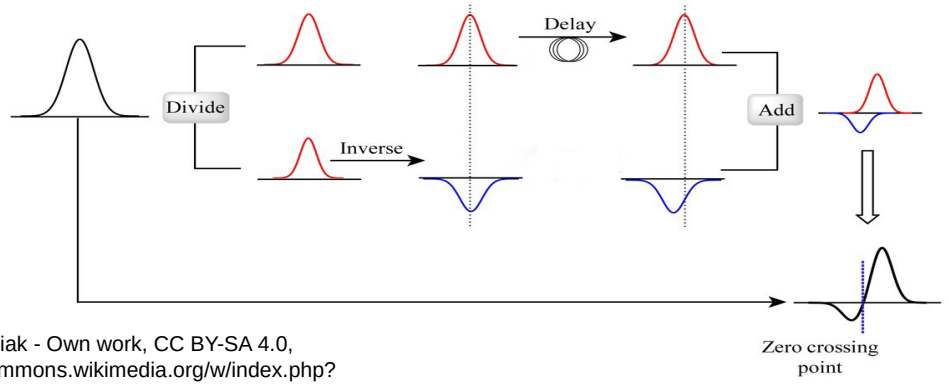


- ADCs einer Ebene (sogar zwei) laufen laufen synchron, daher reicht Sample# für Differenz-Zeit-Ermittlung
- Phasensynchronisation der ADCs auch zu anderen SOCs mehrerer Ebenen nicht nötig, nur gemeinsamer Start (< 100ns) und synchroner Lauf.
- Erstmal geringere Zeitauflösung aber homogene bins ohne Physical Synthesis usw.
- Mehrere Möglichkeiten zur Suche des Umkehrpunkts oder Spitzenwerts, Nachahmung des analogen Algorithmus mit Verzögerung und Differenzbildung aber recht zielführend
- Viel mehr Flexibilität z.B. für die Delays, Optimierung und Diagnose incl. Fernwartung

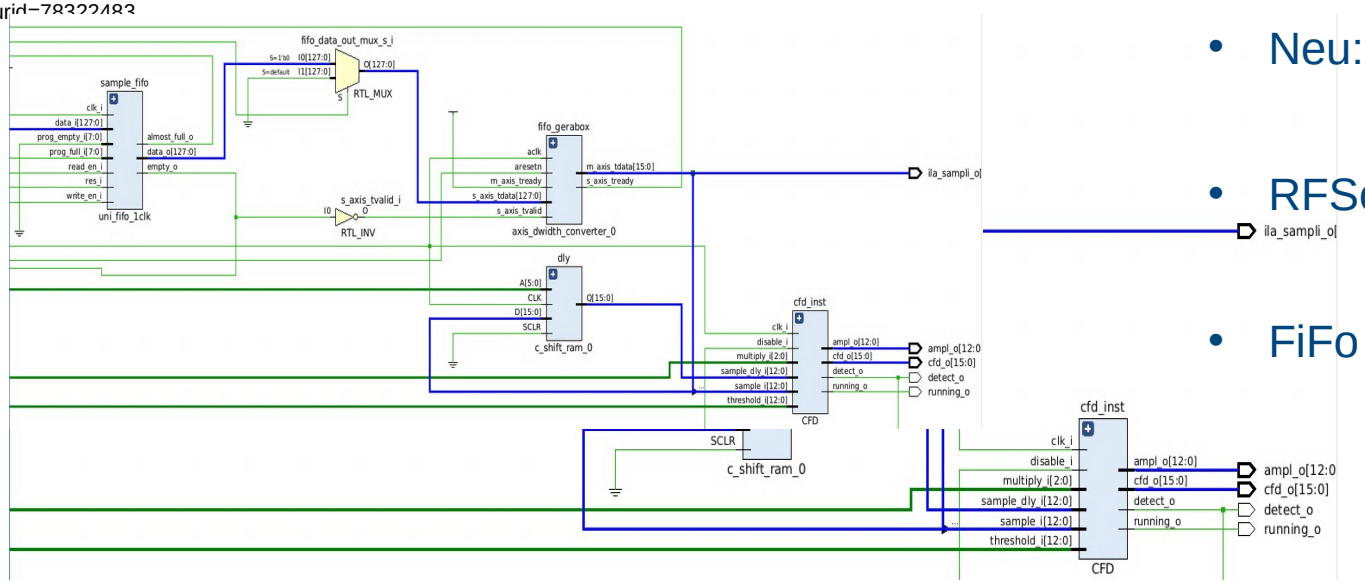
Helmholtz-Zentrum hereon

1m² Detektor

CFD in Logik



By Tdudziak - Own work, CC BY-SA 4.0, https://commons.wikimedia.org/w/index.php?curid=78322483



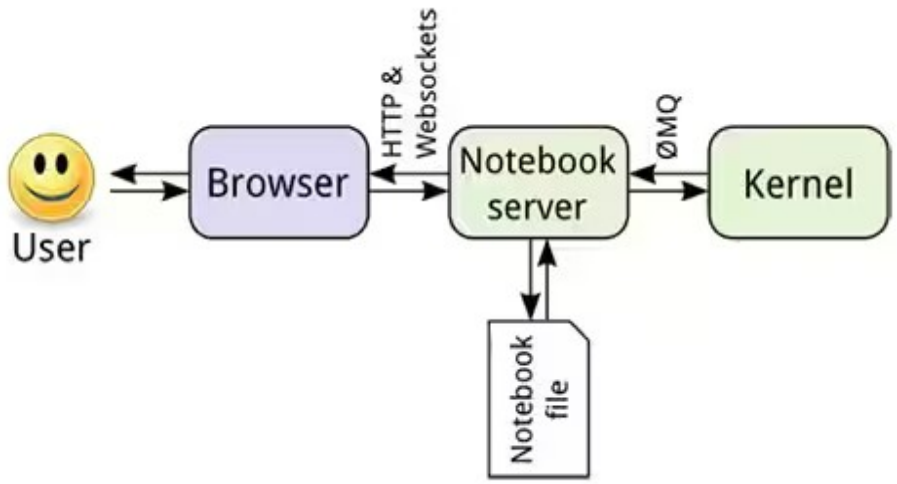
- Funktionsweise Constant Fraction Discriminator Signal Splitten, ein zwei Verzögern, den anderen invertieren. Beide wieder addieren.
  → Zeitpunkt Nulldurchgang entspricht Spitzenwert
- Zuvor mit Delay-Platine und OP-Amps diskret aufgebaut
- Neu: realisiert in VHDL
- RFSoC ADC: 128bit@256MHz (8 Sample pro Takt)
- FiFo mit Pre-Trigger

Helmholtz-Zentrum hereon

Zynq+Python = PYNQ

Jupyter, Python, Zynq

PYNQ
Python + Zynq



- Python on Zynq
- komfortabler abstrakter und dennoch direkter Zugang auch zur speziellen Peripherie auf dem Embedded-System mit den Möglichkeiten von Python (axi-gpio, axi-dma, axi-spi, bram, ...)
- Python bietet gutes Interfacing zu C - unter der hier wichtigen Vermeidung von Datenkopien
- Browser und vernetzter PC als universelles Bedien- Interface
- OS: Ubuntu, produktiv Petalinux
- Unterstützung vieler Python Bibliotheken im Browser (matplotlib, …) und eigenem GUI Toolkit

Jupyter
Schnipsel

```
from pynq import Overlay
from pynq import MMIO, Interrupt
from pynq.lib import AxiGPIO
overlay = Overlay('/home/xilinx/hw/pynqdaq.bit', download=True)                    # Load FPGA bitfile

sampler_ip = overlay.ip_dict['axi_gpio_sampler']

sampler_enable = AxiGPIO(sampler_ip).channel1                                      # AXI GPIO Ch1
sampler_status = AxiGPIO(sampler_ip).channel2                                      # AXI GPIO Ch2

sampler_enable.write(select<<1 | arm, 0xff)                                        # Write to AXI GPIO
sampler_status.read()                                                              # Read from AXI GPIO

mmio_transmiter[0] = MMIO(overlay.bram_ctrl_0.mmio.base_addr, overlay.bram_ctrl_0.mmio.length)          # get reference
mmio_transmiter[0].array[:2048] = pulseX0                                          # Write numpy Array to BRAM
```

Jupyter
Schnipsel

[6]:
```
param_aux = 0
param_filter = 1
param_preamp = 0
param_attenuator = 0x5
# attenuator max 5

if True:
    txbuffer = [0]*3

    txbuffer[0] = 0
    txbuffer[1] = ((param_aux&0x01)<<2) + (param_filter>>2)
    txbuffer[2] = (param_filter << 6) + (param_preamp << 4) + param_attenuator

    resp = xfer(txbuffer, mkl_spi, ss=0x1)
    resp = xfer(txbuffer, mkl_spi, ss=0x2)
    resp = xfer(txbuffer, mkl_spi, ss=0x4)
    resp = xfer(txbuffer, mkl_spi, ss=0x8)
```

```
SR 0x24
SR 0x24
SR 0x24
SR 0x24
```

```
# DMA data transver receive channel
dma = overlay.axi_dma_0
dma_recv = overlay.axi_dma_0.recvchannel

output_buffer = allocate(shape=(dma_size*2,), dtype=np.uint64)
dma_recv.transfer(output_buffer)
dma_recv.wait()
```

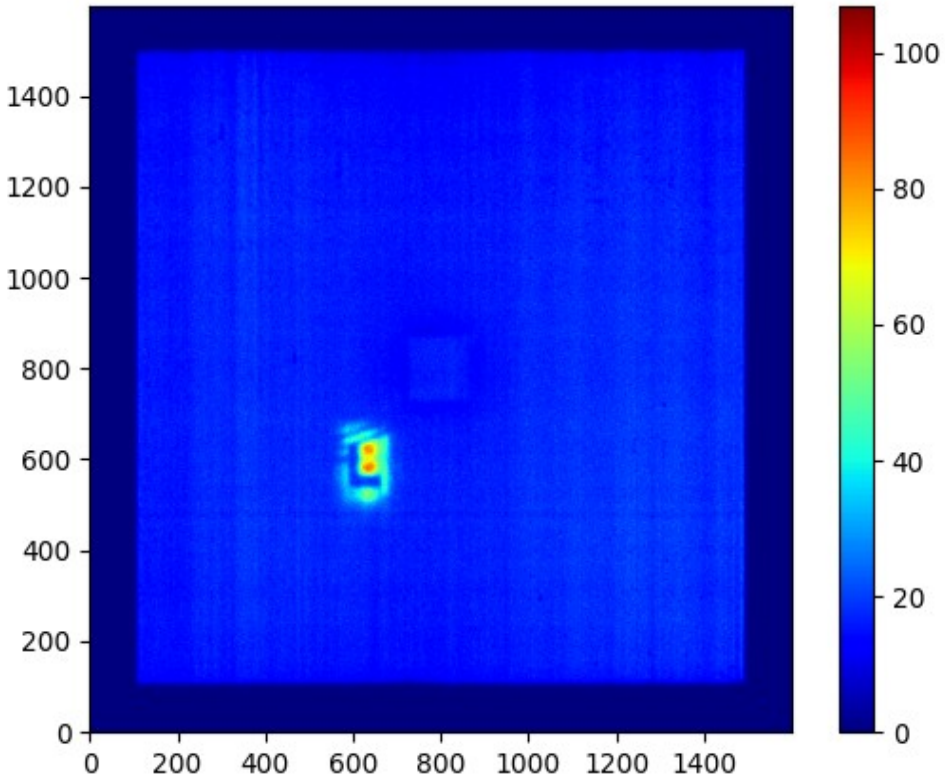
Jupyter
Was hat noch nicht funktioniert

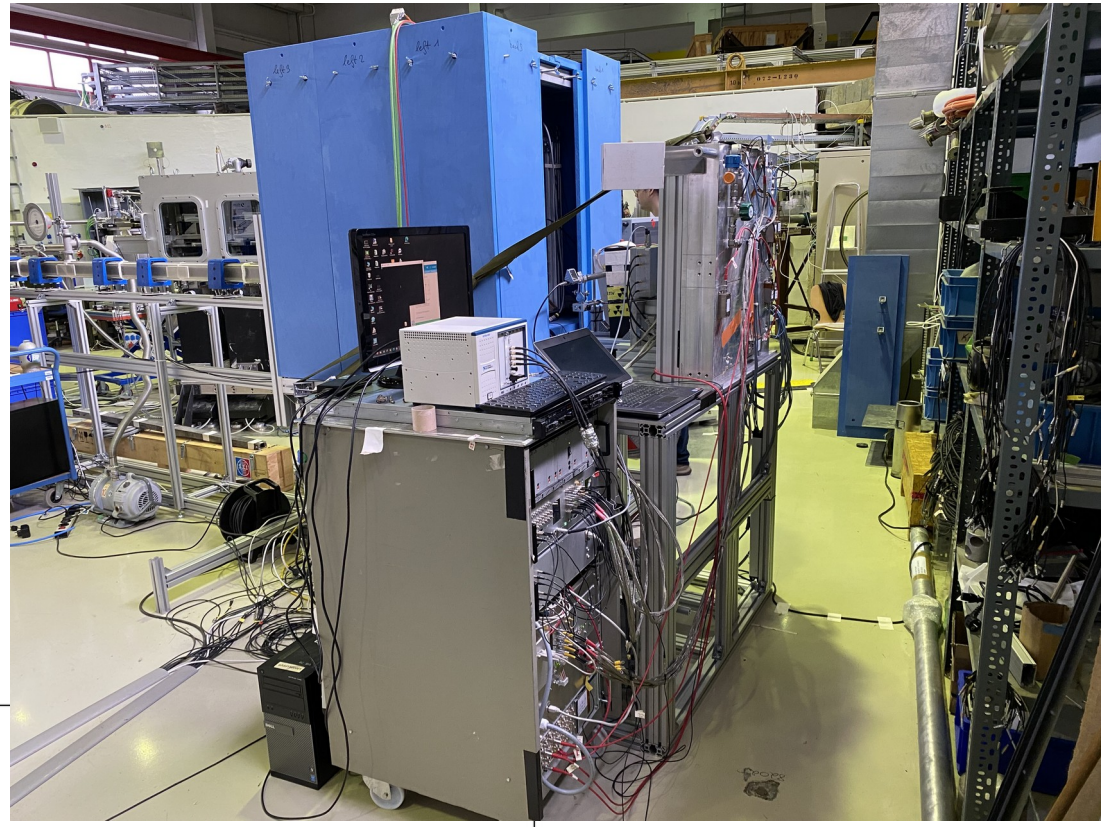
- Gui mit Jupyter für mehrere User
- Charts zeigen Inhalte von Speichern aus der Logik an
- Daten werden von jeder Browser Session aus der HW geholt (DMA)
- Aber auch noch nocht viel Zeit investiert
  → Daten per UDP an anderen PC gesendet und dort visualisiert.

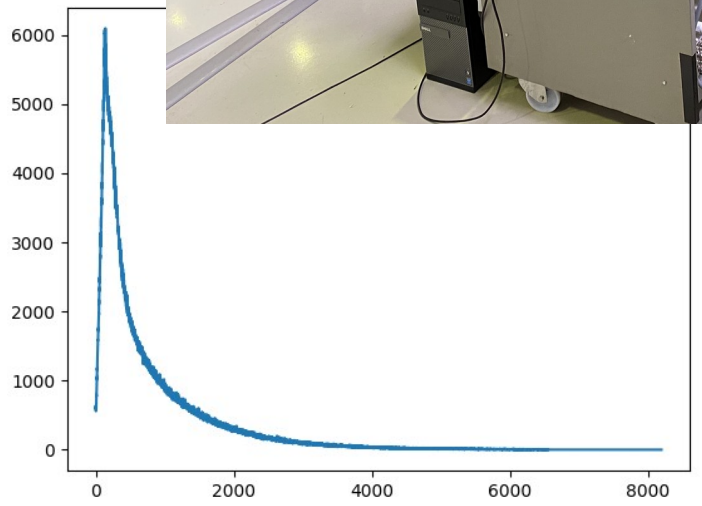
Messzeit Jülich 2023

HBS@BigKarl

- 500x500mm Helium3 Detektor
- „kollimierter“ Strahl
- 2D und Flugzeit







Helmholtz-Zentrum hereon

Vielen Dank

www.hereon.de

Helmholtz-Zentrum
hereon