



Contribution ID: 25

Type: Vortrag

Entwicklung eines 5 GHz Digitalisierungssystem basierend auf dem MTCA.4 Standard

Wednesday 13 March 2013 10:00 (20 minutes)

Eine immer häufigere Anforderung an Datenerfassungssysteme ist eine Abtastrate im Sub-ns Bereich. Neben einer kontinuierlichen Datenwandlung stellen die Anlog-Speicher-Pipelines ICs eine interessante Alternative dar. Das Signal wird dabei mit einer hohen Rate analog in einem Kondensatorarray gespeichert und kann z. B. nach einem Trigger-Ergebnis mit einer niedrigeren Rate ausgelesen und digitalisiert werden. Das IPE entwickelt ein Rear Transition Module (RTM) basierend auf dem MicroTCA.4 Standard mit 16 analogen Eingangskanälen und einer Abtastrate bis zu 5 GHz und externem Trigger-Eingang. Als Anlog-Speicher IC wird der vom PSI entwickelten DRS 4 Chip verwendet. Die digitalisierten Daten werden über ein FPGA basierendes MTCA.4 Frontend-Modul ausgelesen.

Primary author: Mr BALZER, Matthias (KIT)

Co-authors: Mr MENSHIKOV, Alexander (KIT); Mr TCHERNIAKHOVSKI, Denis (KIT); Dr KLEIFGES, Matthias (KIT)

Presenter: Mr BALZER, Matthias (KIT)

Session Classification: Vorträge Mi-1